

新規材料による半導体コンタクト形成技術

遷移金属内包Siクラスター膜を用いた低消費電力トランジスタ

国際公開番号
WO2013/133060
(国際公開日：2013.9.12)

研究ユニット：

ナノエレクトロニクス研究部門

適用分野：

- 金属/半導体接合技術
- 低消費電力化技術
- 半導体デバイス技術

目的と効果

半導体トランジスタの低消費電力・高性能化の要求に応え、微細化を進めていくと、金属電極と半導体のコンタクト抵抗による半導体トランジスタ性能の劣化が顕在化してしまうため、コンタクトの低抵抗化が必要不可欠になります。この発明は、ケイ素 (Si)、もしくは、ポスト Si 材料として注目されているゲルマニウム (Ge) と金属電極との間に、遷移金属内包 Si クラスター (MSi_n 、M はタングステン (W) などの遷移金属) を単位構造とする極薄シリサイド半導体膜を形成し、電極と半導体の間の電氣的障壁を低減することで、コンタクト抵抗の低減を実現します。

技術の概要

MSi_n ($n=10 \sim 14$) は、遷移金属原子を 10 ~ 14 個の Si 原子が囲んだ構造を持ち、W を始めとするほとんどの遷移金属原子に対して安定な構造を形成することができます。例えば、レーザーアブレーションで生成した遷移金属蒸気とシランガスを気相中で反応させると、 MSi_n を形成して Si、Ge 基板の上に堆積し、 MSi_n を単位とした半

導体ヘテロ接合を形成できます。図 1 の断面透過電子顕微鏡像に示したように、タングステン内包 Si クラスター (WSi_n) 膜は、Si 基板と原子レベルで急峻な界面を形成できるので、極微細トランジスタに対しても適用可能です。この構造を形成することで、コンタクト抵抗は、n 型 Si に対して 1 桁以上、n 型 Ge に対して 4 桁低減しました。このコンタクト構造を極微細トランジスタのソース・ドレインに利用することで、トランジスタの低消費電力化や高性能化が図れます (図 2)。

発明者からのメッセージ

MSi_n 膜は、ほとんど Si で構成されていることから、Si や Ge トランジスタに実装するためのバリアが低いと考えています。現在、量産プロセスである CVD 法を用いた成膜法の開発を行っています。また、 MSi_n 膜は遷移金属の種類を変えることで、さまざまな性質を持つため、Si や Ge だけでなく、III-V 半導体や、SiC、ダイヤモンドを用いたトランジスタの、金属・半導体接合にも適用できると期待しています。

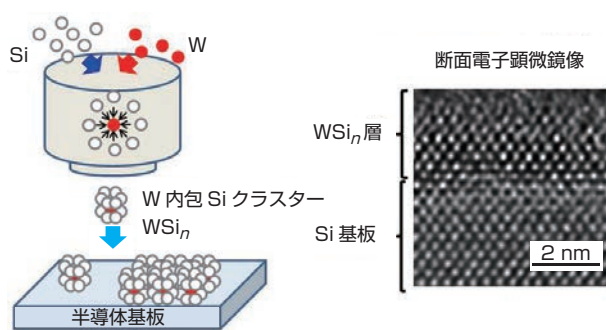


図1 W内包Siクラスター (WSi_n) を単位構造とした原子層薄膜作製の概念図と、Si基板上にエビタキシャル成長した WSi_n 膜の断面透過電子顕微鏡像

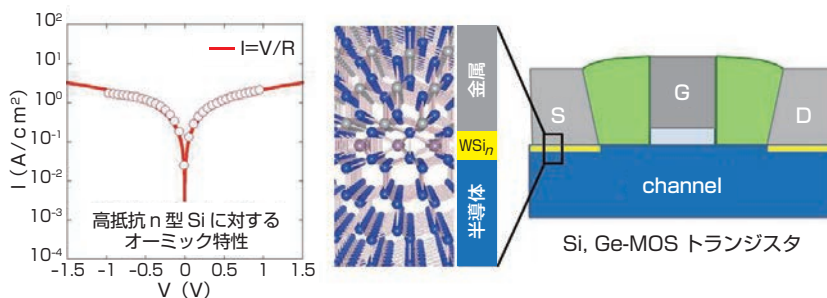


図2 WSi_n 層を金属電極とSiの間に挿入したコンタクトの電流電圧特性

高抵抗n型Siに対してオーミック特性を示している。 WSi_n 層をSiやGeのMOSTランジスタのソース(S)・ドレイン(D)電極と半導体チャネルの間に形成することで、コンタクト抵抗を低減できる。

Patent Information のページでは、産総研所有の特許で技術移転可能な案件をもとに紹介しています。産総研の保有する特許等のなかにご興味のある技術がありましたら、知的財産部技術移転室までご連絡なくご相談下さい。

知的財産部技術移転室

〒305-8568
つくば市梅園 1-1-1
つくば中央第2
TEL：029-862-6158
FAX：029-862-6159
E-mail：aist-tlo-ml@aist.go.jp