

# トランジスタの特性ばらつきを解明

## SRAMをはじめとする集積回路の歩留まり向上に貢献



松川 貴

まつかわ たかし

t-matsu@aist.go.jp

ナノエレクトロニクス研究部門  
シリコンナノデバイスグループ  
主任研究員  
(つくばセンター)

原子・分子サイズの領域に近づきつつある最先端トランジスタにおいて、今後ますます顕在化してくるばらつき問題についてはまだわからないことが多く、発生メカニズムを明らかにし、さらにはばらつき改善につながる技術の開発を進め、さらなる集積回路技術の進化に貢献していきたいと考えています。

### 関連情報：

- 共同研究者

柳 永勲、遠藤 和彦、大内 真一、昌原 明植（産総研）

- 用語説明

\* SRAM (Static Random Access Memory)：随時、書き込み・読み出しが可能な半導体記憶装置。リフレッシュと呼ばれる記憶内容の書き直し操作が不要であり、かつ高速動作が可能である。

\*\*フィンFET：起立型のチャンネルを採用する、二重ゲート電界効果トランジスタ。ゲート長を縮小しても漏れ電流を小さく抑えることができ、低消費電力・高速動作を両立するメリットを持つ。

- プレス発表

2011年12月8日「14 nm 世代立体型トランジスタの特性ばらつきの主要因を解明」

### 特性ばらつきの問題

これまで、シリコン集積回路は、その最小構成単位であるトランジスタを微細化することで高性能化・高集積化を実現してきました。一方で、トランジスタ製造工程における加工寸法のばらつき、および半導体中の不純物個数や金属電極の結晶粒界配置の統計的なばらつきが、トランジスタ寸法の微細化により無視できなくなると、トランジスタが導通状態で流れる電流（オン電流）のばらつきなどの特性ばらつきが発生します。2017年以降に市場投入が想定されている14 nm 世代トランジスタ技術では、その寸法の小ささから素子間の特性ばらつきの問題が顕在化してくると考えられ、製品の著しい歩留まり低下が懸念されています。

とりわけ、システムLSIやマイクロプロセッサの50%以上の面積を占めるSRAM\*は、最小寸法のトランジスタを多用するので特性ばらつきの影響を受けやすく、特性ばらつきの少ない微細トランジスタの開発が強く求められています。

### ばらつきを低減する加工技術

集積回路の性能に直結するオン電流ばらつきの主要因としてはこれまで、しきい値電圧ばらつきが指摘されています。しかし、20 nm 世代以降に使用されるフィンFET\*\*の電気的特性ばらつきを実測したところ、図1に示すように相互コンダクタンスばらつきもオン電流ばらつきをもたらすことがわかりました。さらに、14 nm 世代では、相互コンダクタンスばらつきが

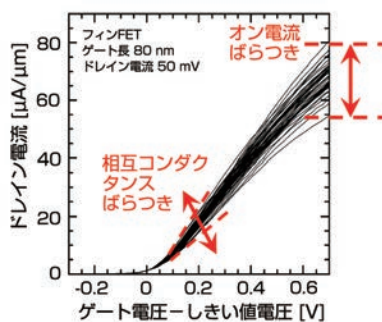


図1 しきい値電圧を揃えた際にみられる相互コンダクタンスばらつき

オン電流ばらつきの主要因となることがわかりました。

そこで、通常の加工技術（ドライエッチング技術）でフィンチャンネルを形成したFETに加え、産総研で開発されたナノウェットエッチング技術で形成したFETについて相互コンダクタンスばらつきを測定しました。図2の横軸はゲート面積の平方根の逆数、縦軸は相互コンダクタンスのばらつき割合（標準偏差/平均値）を示しています。両者の関係の傾き  $A_{Gm}$  は、ゲート寸法の縮小に対するばらつきの増加率で、この  $A_{Gm}$  が小さいほど特性ばらつきが小さく抑えられることを示します。ナノウェットエッチング技術によるシリコンフィンチャンネルの高精度な加工により、相互コンダクタンスばらつきが低減されることがわかりました。

これまでの加工技術では、素子間でばらつきを持つ加工時ダメージが、移動度のばらつきを引き起こします。一方、ナノウェットエッチング技術による加工では、フィンチャンネルへのダメージがなく、また、フィンの側面は極めて平滑となります。そのため、移動度のばらつきや、それによって生じる相互コンダクタンスばらつきが抑制されていると考えられます。

### 今後の予定

今後は、フィンFETを用いた集積回路を製作し、回路レベルでの歩留まり向上の実証を目指します。

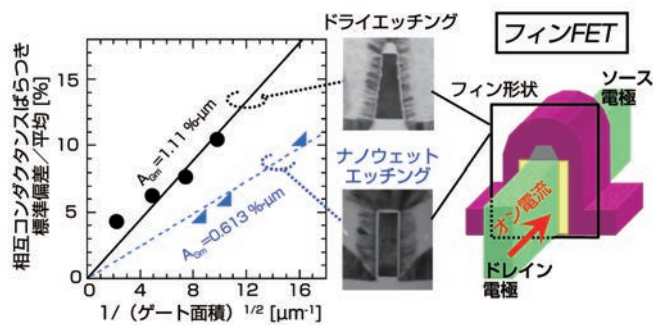


図2 ナノウェットエッチング技術による相互コンダクタンスばらつき抑制の実証