

トランジスタの接合位置を精密制御

16 nm 世代以降の MOS トランジスタの新たな接合技術として期待



水林 亘

みずばやし わたる

w.mizubayashi@aist.go.jp
ナノエレクトロニクス研究部門
シリコンナノデバイスグループ
研究員
(つくばセンター)

これまで半導体集積回路の高性能化・高集積化は基本素子である MOS トランジスタの微細化により実現されてきました。現在、微細化による性能向上が頭打ちになってきており、引き続きトランジスタの性能を確保するため、新たな材料・構造の導入が試みられています。今後、これまでの知見を活かし、より高性能かつ低消費電力な超微細なトランジスタの実現を目指しています。

関連情報：

● 共同研究者

右田 真司、太田 裕之、昌原 明植 (産総研)

● 用語説明

* SOI 基板：Silicon-On-Insulator 基板。Si 基板と表面 Si 層の間に SiO₂ を挿入した構造の基板である。

● プレス発表

2011 年 6 月 12 日「トランジスタの接合位置をサブナノメートルの精度で制御」

● この研究開発は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) の「次世代半導体材料・プロセス基盤 (MIRAI) プロジェクト」の委託を受けて行っています。

トランジスタ微細化の今後の課題

これまで、シリコン集積回路は、その最小構成単位であるトランジスタ素子を微細化することによって高性能化・高集積化を実現してきました。2016 年以降に市場投入が想定されている 16 nm 世代やそれ以降のトランジスタ技術では、リン、ヒ素、ホウ素などの不純物を高濃度に添加したシリコン半導体ソース・ドレイン接合領域の寄生抵抗の顕在化と、10 nm 程度のゲート長に対して精度よくソース・ドレイン接合を形成できる技術開発が最大の課題となっています。とりわけ、接合位置の揺らぎは、トランジスタ特性を大きくばらつかせる要因となるため、ナノメートルレベルで接合位置を制御できる技術の開発が強く求められています。

研究の内容

図1に従来型のシリコン半導体ソース・ドレイン接合と金属ソース・ドレイン接合の比較を示します。シリコン半導体ソース・ドレイン接合は、リン、ヒ素、ホウ素などをイオン注入し高温で熱処理して形成するために、注入位置のばらつきや熱拡散による特性ばらつき、接合界面でのリン、ヒ素、ホウ素などの低濃度化による高抵抗化といった問題があります。一方、金

属ソース・ドレイン接合は、金属とシリコン (Si) の固相反応により比較的低温で形成するために、接合位置にばらつきがなく、また、接合界面が急峻^{きゅうしゅん}になるので、特性ばらつきを大幅に抑制することができます。

今回、とても薄い SOI 基板* に対して NiSi₂ の形成を行った場合、熱処理によって NiSi₂ が横方向に成長します。そのため熱処理時間を変えて、ソース・ドレイン接合の位置を制御できます。

同じゲート構造やゲート長で熱処理時間だけを変化させてトランジスタを試作し、特性を比較しました (図2)。接合位置を近づけるとドレイン電流が 20 % 以上増加しています。また、特性ばらつきは増えていないことを確認しています。このような NiSi₂ 結晶成長の性質を利用した金属ソース・ドレイン接合の位置制御技術は、16 nm 世代以降の MOS トランジスタの新たな接合技術として期待できます。

今後の予定

今回開発した技術は、MOS トランジスタの一層の微細化を可能とします。今後は、より微細化したトランジスタの実現や回路レベルでの性能向上の実証を目指します。

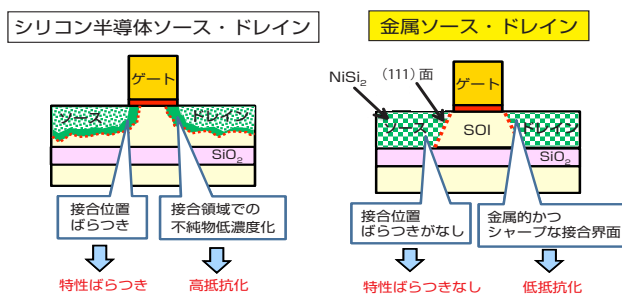


図1 シリコン半導体ソース・ドレイン接合と金属ソース・ドレイン接合の比較

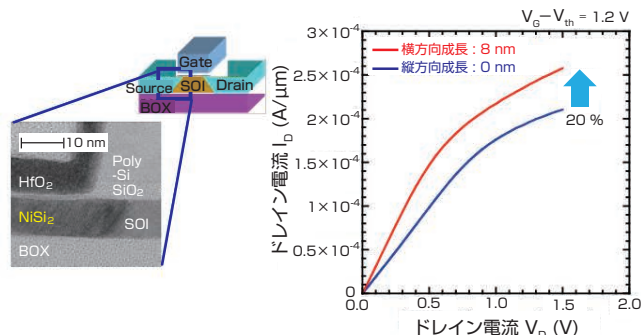


図2 今回開発した技術で作製した金属ソース・ドレイン接合極薄 MOS トランジスタとその特性