

二重エピタキシャル構造で世界最小オン抵抗を達成

# 開発 超低損失シリコンカーバイドパワーMOSFETs

電力エネルギーを有効利用することは、環境保全、資源の節約の両面からますます重要となっている。この中で、電力変換時に発生する損失を極力低減することは重要な課題の一つである。電力変換にはパワー半導体デバイスが広く用いられているが、既存のシリコン(Si)パワーデバイスは物性値からくる性能限界に近づきつつあり、これ以上の損失低減は期待できない。これに対して、ワイドギャップ半導体であるシリコンカーバイド(4H-SiC)はSiに比べバンドギャップが約3倍、絶縁破壊電界強度が7倍、熱伝導率が3倍と大きく、理論的には通電時の損失(オン抵抗)をSiパワーデバイスの1/200までに低減できるとされている。

縦型パワーMOSFETの半導体基板を従来のSiから4H-SiCに変更すれば、超低損失パワスイッチングデバイスが実現できると考えられている。しかしながら、現在までに試作されている4H-SiC縦型MOSFETは、Siの理論限界を超えるものはいくつか存在するものの、SiCの特性が十分に発揮されるに至っていない。これはMOSゲートを形成するSiO<sub>2</sub>/SiC界面におけるチャンネル移動度が理想値に比べはるかに低いことが原因となっている。この問題の一部は不純物のドーピング過程に起因している。即ち、SiCへの不純物ドーピングは熱拡散が困難であるためイオン注入法を用いているが、この場合チャンネルとなるアクセプタ不純物領域(Pウェル)を活性化するためには1700℃以上の熱処理が必要となる。したがっ

て表面の結晶性が劣化しやすく、高い移動度が得られないという欠点が生じていた。

我々はこの問題に対して、Pウェルを結晶品質に優れたエピタキシャル成長膜によって形成する4H-SiC縦型MOSFETの構造および作製プロセスを開発した。この構造の特徴はPウェルが濃度の異なる二重のエピタキシャル成長膜によって構成されていることから、二重エピタキシャル縦型MOSFET(Double-Epitaxial MOSFET)と名付けた。図1にその断面構造を示す。Pウェルの下層はソース・ドリフト層間のパンチスルーを抑制するために高濃度膜となっており、上層は高いチャンネル移動度を得るために低濃度膜となっている。また、Pウェル領域間のドナー不純物領域は低電圧でピンチオフできるように低濃度のイオン注入によって形成されている。以上のような構造をとることによって高い耐電圧と低いオン抵抗の両立が可能となった。図2は本研究で開発したDE-MOSFETとこれまでに報告されたMOSFETの耐電圧とオン抵抗の関係を示している。600Vの耐電圧を持つDE-MOSFETのオン抵抗は8.5mΩcm<sup>2</sup>を示し、同じ耐電圧を持つSi-MOSFETに比べて10分の1以下に低減されている。この結果は、汎用性の高い600V級パワーMOSFETにおける壁であったオン抵抗10mΩcm<sup>2</sup>以下を世界で初めて達成したことになり、4H-SiCパワーデバイス実用化に向けての大きな一歩になったといえる。

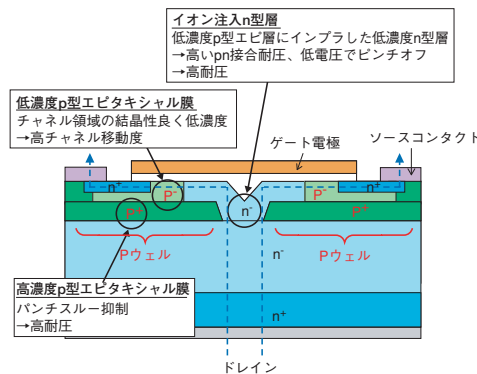


図1 二重エピタキシャル縦型MOSFET (DE-MOSFET)の断面構造

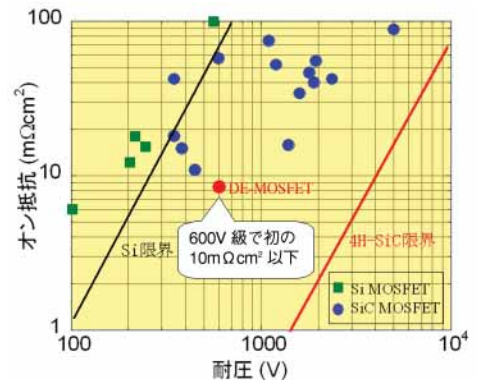


図2 開発したDE-MOSFETとこれまでに報告されたMOSFETの耐電圧とオン抵抗の関係



はらだしんすけ  
原田信介  
s-harada@aist.go.jp  
パワーエレクトロニクス研究センター

関連情報

- 1) S. Harada, M. Okamoto, T. Yatsuo, K. Adachi, K. Suzuki, S. Suzuki, K. Fukuda, K. Arai: 10th International Conference on Silicon Carbide and Related Materials (2003).
- 2) 原田信介, 岡本光央, 八尾勉, 安達和広, 福田憲司, 荒井和雄: SiC及び関連ワイドギャップ半導体研究会第12回講演会 (2003).