

LSIの3次元実装を実現する超高速高密度インターポーザの開発に成功

LSIシステムの小型化、高性能化を低コストで実現可能

当研究部門では、LSIの3次元実装を可能にするため、LSIを多層に重ねて接続するための高密度微細配線インターポーザを開発した。この技術は複数のLSIを重ねて一つのチップとして動作させ、IT機器の心臓となる電子回路の超小型実装と、LSI間的高速信号伝送を実現する。インターポーザは、複数のLSIを重ねた層間に配置し、高密度・高速の信号伝達を可能にする。信号線の最小幅は $7.5\ \mu\text{m}$ （従来は $50\ \mu\text{m}$ ）で、最大転送速度は毎秒10Gビット（従来は数百Mビット）である。絶縁膜として、低誘電率の感光性ポリイミドを用い、露光による加工と金・チタンによる微細配線技術を開発することにより高密度・高速信号伝達を実現した。

ユビキタスコンピュータ時代のIT機器への要件

将来のIT機器は、小型化、低消費電力化とともに一層の高機能化（高速、大容量）が求められている。これに伴い、LSI技術もより一層の高速・高集積化を図っているが、高速・高密度化だけではなく、システムとしての実装方法が大きな課題となっている。素子をシステムとして実装する際の問題点を以下にあげる。

- LSIの内部クロックは最近のCPUでは数GHzと高速であるが、チップの外との信号伝達クロックは数百MHzで配線遅延が大きな問題となっている。また、外部に信号を出すためのバッファ回路での遅れと駆動のための消費電力も無視できない。

- LSI外部での配線の高密度化が実現できないとシステムを小型化できない。

- システム・オン・チップと呼ばれる全システムを一つのLSIチップに収める技術の開発が行われているが、材料、プロセスが異なる素子をオンチップ化できない、回路設計の情報が極端に肥大化するなど、種々の限界が指摘されている。

本研究は、これらの問題点を解決し、将来の小型・高速・低消費電力・低コストのIT機器の実現を目指している。

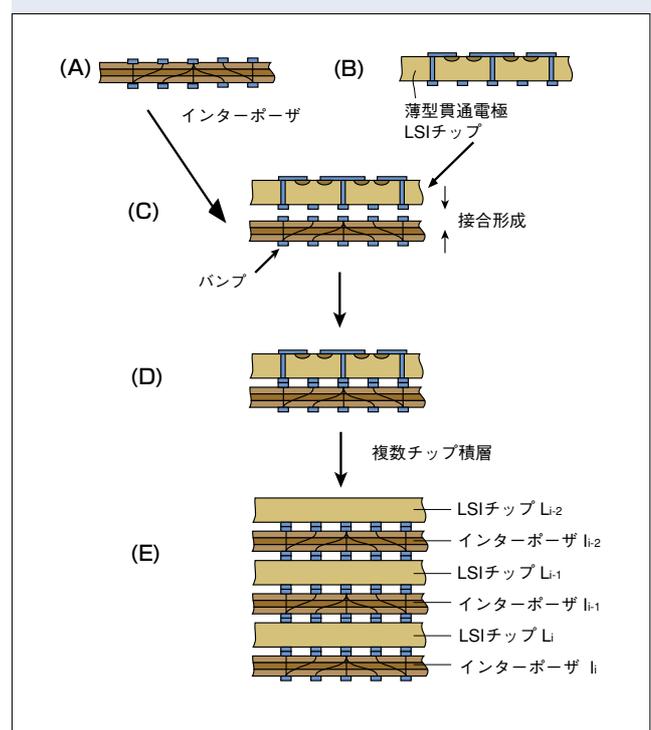
インターポーザによるLSIの3次元実装

複数のLSIを接続するには、プリント回路基板上にLSIを2次元的に配置し、その間を多層の配線で接続す

る方法がとられてきた。しかし、この方法では、実装面積がLSIの数とともに増加し、配線長の増加から、LSI間の信号遅延が大きくなる。また、エポキシ系絶縁材料の誘電率が高いことから、ドライブ電力・信号遅延の問題が生ずる。更に、銅配線の表面が粗いことから、信号線の微細化、高速化が困難であった。

これらの問題点を解決するため、複数のLSIを積層し、LSI間をインターポーザを介して配線できれば、画期的な高密度実装が可能となる。例えば、CPU、キャッシュ・メ

図1 インターポーザによるLSIの3次元実装



インメモリ、IOチップなどを一つのチップ上に積層すれば、超小型・高性能のマイクロコンピュータシステムが実現できる。インターポーザの信号伝送機構は次の通りである（図1）。

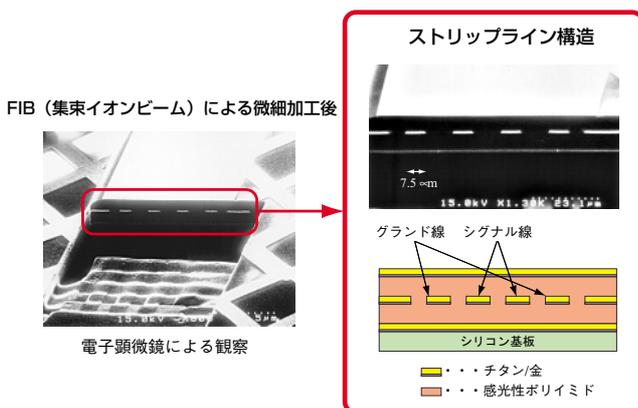
- LSIとインターポーザは交互に積層される。あるLSI、例えば L_i から上部のLSI、 L_{i+1} への信号は、 bumpsと呼ばれる接続部分を通してインターポーザ I_{i+1} に伝達される。インターポーザ I_{i+1} 内では、内部の配線を通じて、目的の bumpsまで伝達し、 bumpsを通じて上部のLSI L_{i+1} に信号を伝える。
- L_i からの信号を、離れたLSI、例えば L_{i+2} 、に伝達するときは、 bumpsからの信号は、 L_{i+1} を貫通し、 I_{i+2} を経由して L_{i+2} に伝えられる（ビア接続）。
- 下部のLSIへの信号伝達も同様に行うことができる。

開発した感光性ポリイミドによるインターポーザ

産総研では、感光性を有するポリイミドを絶縁材料とし、金とチタニウムを配線材料とするインターポーザの構成技術を開発した。その特徴は、以下の通りである。

- 低誘電率（比誘電率3）のため配線のドライブ電力と配線遅延を著しく改善できる。転送クロック10GHzが達成できる事を確認した。
- 従来のプリント回路基板（最小線幅 $50\mu\text{m}$ 程度）の配線密度を大幅に改善（最小線幅 $7.5\mu\text{m}$ ）し、 50Ω の特性インピーダンスを持つストリップライン微細配線を実現した。
- 微細な層間配線接続（ビア接続）に必要な配線間接続穴（ビアホール）形成を光転写技術（リソグラフィ）工程のみで実現し、大幅な工程の簡略化を実現した。これにより、製造プロセスの低コスト化を可能とした。

図2 配線のストリップライン（特性インピーダンス 50Ω ）



- LSIチップとの接続に必要な bumps間ピッチを $20\mu\text{m}$ と微細化し、多数のチップ外配線を可能とした。

作成プロセスの開発

感光性ポリイミドによるインターポーザは、以下の研究開発を通して実現した。

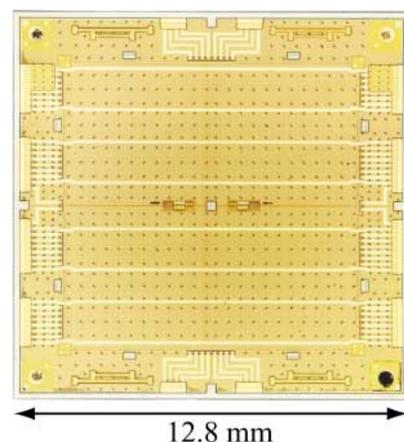
- 感光性ポリイミドの露光特性の最適化
ポリイミド上のリフトオフ用感光性レジストについて、露光特性を最適化する技術を開発。
- 絶縁層の多層化技術の開発
スピン塗布形成技術、紫外線を用いたリソグラフィ工程によるビアホール作成技術を開発。感光性ポリイミドを多層化する際に下の層から溶媒が蒸発して、気泡が形成されるのを防ぐための下層の熱処理乾燥プロセス最適化技術を開発。
- 金属配線の微細化
真空蒸着法とリフトオフプロセスによる微細金属（金）配線の形成方法の開発。これによる多層金属配線層のストリップライン線路構造の実現。ポリイミドと金との密着力を改善するための別の金属（チタン）の導入。図2に試作したインターポーザの 50Ω ストリップラインの写真、図3にインターポーザの写真を示す。

従来の実装技術への適用

ここで開発したインターポーザ技術は、次世代の3次元実装を目指したものではあるが、現在行われている実装技術にも適用して高性能化を図ることもできる。この場合、従来LSIの製作技術を殆ど変更しないで適用が可能であり、実用化への一つのステップとも考えられる。

- LSIチップの配線遅延減少への適用（図4）
LSIチップ内の離れた場所を結ぶ配線（グローバル

図3 作成したインターポーザ



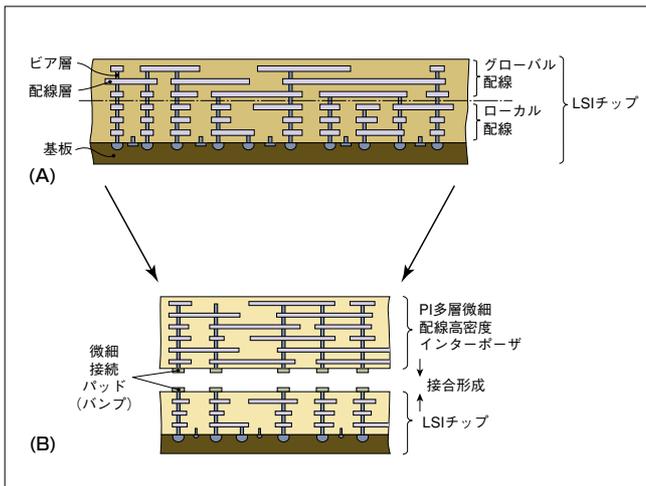


図4 LSIチップのグローバル配線層の置き換え

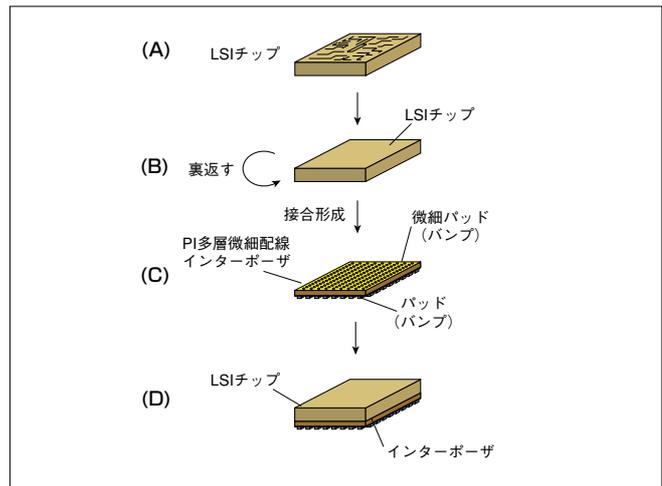


図5 フリップチップへの適用

配線)での遅延を減少させ、チップの動作速度を改善できる。

● フリップチップへの適用 (図5)

フリップチップとは、LSIチップの配線層を下にして、 bumps を介して、直接基板と接続する方法である。LSI と基板の間にインターポーザを介することにより、グローバル配線をインターポーザ内で行うことにより、高性能化が実現される。

● システムオンパッケージへの適用

システムオンパッケージとは、システムを構成する複数のLSIを一つのパッケージ上に実装して、高密度化を図る方法である。上述のフリップチップに接続する基板として、本研究で開発したインターポーザをパッケージ部分に適用することにより、更に高速化が実現できる。

● プリント回路基板への適用

プリント基板として、本インターポーザ技術を適用することにより、微細線幅の実現、高速信号伝送、低消費電力化を図ることが可能となる。

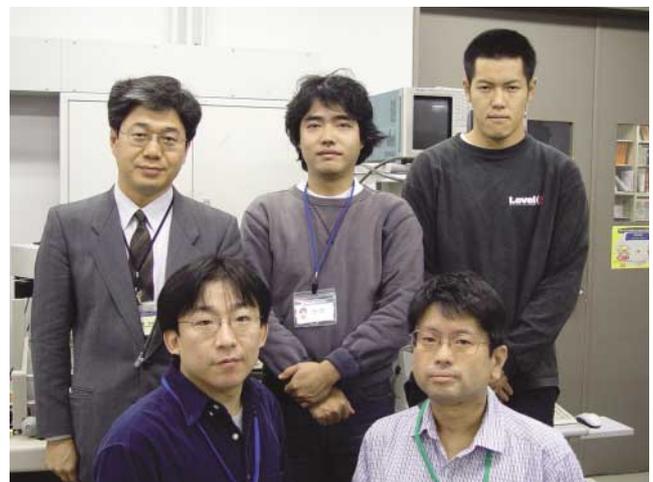
経緯と今後の展開

この研究は、平成11年度からスタートしたNEDOの次世代半導体デバイスプロセス等基盤技術プログラム「超高密度電子システムインテグレーション (SI) 技術」として、ASETと産総研が連携共同研究体を組織して、研究開発が進められてきた。産総研では、これと同時に民間企業との共同研究により、感光性ポリイミド材料による絶縁層形成、同軸配線プリント基板、高周波誘電特性測定評価、電磁界解析手法による線路設計などの基礎技術の開発を進めてきた。

なお、インターポーザの設計については、ASETつく

ば研究センターと共同で行い、感光性ポリイミドについては、共同研究先のピーアイ技術研究所から提供されたブロック共重合ポリイミド材料を用いた。

今後は、インターポーザの更なる高性能化 (伝送速度100Gbps以上)、微細化 (1 μ m 最小線幅)、能動・受動デバイスのインターポーザ内への埋め込み、3次元配線設計技術、光実装との融合技術などに向けて、官民の共同体制を軸に開発を進める予定である。



エレクトロニクス研究部門高密度SIグループ員と青柳昌宏研究グループ長 (上段左端)

● 問い合わせ

独立行政法人 産業技術総合研究所
エレクトロニクス研究部門
高密度SIグループ 研究グループ長 青柳 昌宏

E-mail : m-aoyagi@aist.go.jp

〒305-8568

茨城県つくば市梅園 1-1-1 中央第2