

高速LSIの消費電力半減に成功

遺伝的アルゴリズムによる製造後クロック調整技術を開発

産総研次世代半導体研究センターは、人工知能の遺伝的アルゴリズムを用いたクロック調整方式により、GHzを超える速度で動作する高速LSIの消費電力を半減させる技術の開発に成功した。実際に動作クロック周波数1GHzの実験用LSIを開発、消費電力の半減(54%)、クロック周波数の向上(25%)、設計工数の低減(21%)の3つの利点を明らかにした。この成果をもとに、商用モバイルCPUへの適用検討、3GHzの世界最高速信号処理LSIの開発を推進する。

製造ばらつきによりクロックスキューの問題が深刻化

デジタルLSIはクロックと呼ぶ特別な信号に同期してチップ全体が動作するが、設計段階では全く同一時刻にクロックが各回路部分に到達するという理想的な仮定のもとに開発が行われる。しかし、実際に製造されたチップでは、製造ばらつきのためにクロックの各回路への到達タイミングにずれ(クロックスキュー)が生じ、チップによってはそのために誤動作してしまう。したがって、歩留(製造したチップに対する正常動作するチップの割合)が低下し、チップの製造コストが上昇する。

近年、半導体プロセスの微細化が進んで、製造ばらつきの問題が更に顕著になっている。図1に示すように、180nm(0.18 μ m)プロセスおよびそれ以前のテクノロジーでは、ばらつきの影響はチップ間の性能の差異として現れ、チップ毎に良品・不良品を選別すればある程度の歩留が確保できた。しかしながら、現在主流の130nm(0.13 μ m)プロセスでは、ばらつきの影響がより深刻になり、さらに将来の90nmプロセスでは、ばらつきの影響がチップ間の性能の差異ではな

く、チップ内の論理ゲートやトランジスタ間の性能の差異として観測されることが予想されている。すなわち、もはや従来のようなマージン設計の手法では必要なタイミングマージンを確保することは困難となり、歩留が著しく低下する。

人工知能を用いた製造後調整方法の提案

トリミングに代表される製造後の回路パラメータの調整手段は、従来のLSI製造においては、コスト上の理由より限定的にしか用いられていなかった。具体的には、調整のための工数の増加、および、調整箇所の増加に従って指数関数的に増加する調整時間が問題となってきた。しかし、90nmプロセス以降においては、前述のように製造後調整がLSI製造に必須の技術となることが予想される。そこで、MIRAI回路システム技術グループでは、人工知能の遺伝的アルゴリズムを用いた製造後調整技術を提案している。この遺伝的アルゴリズムによる製造後調整技術は、性能や歩留向上に寄与する調整回路の多用、および、遺伝的アルゴリズムを用いた回路パラメータの高速調整の2つの要素か

図1 製造ばらつきの問題

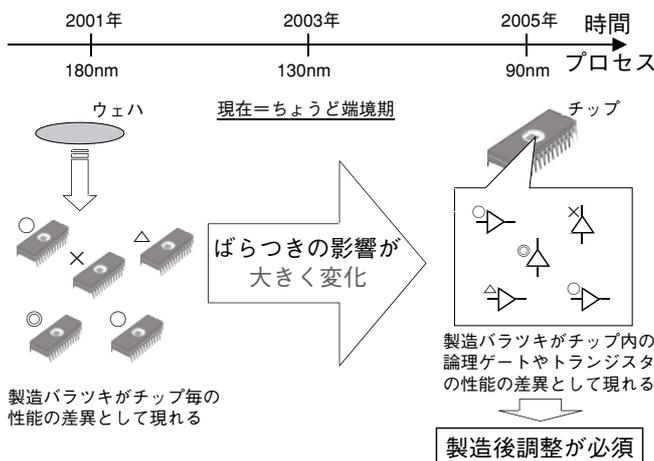
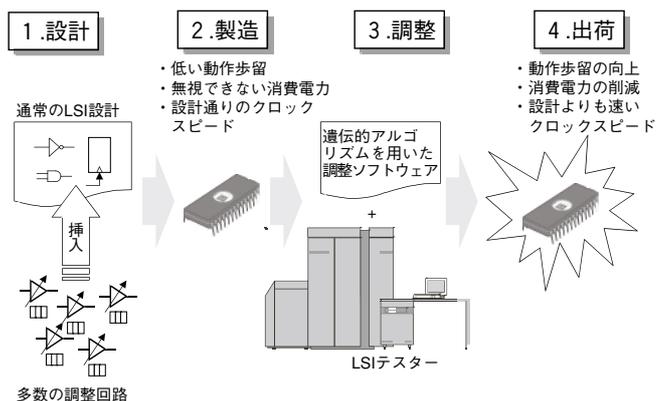


図2 製造後調整技術



らなるである(図2)。なお、このクロック調整の基本方式は1999年に旧電総研で開発、発表したのが、昨年6月インテルは3GHz動作のPentium4コアのクロック調整に遺伝的アルゴリズムを使っていることを明らかにした。

ここでは、前者の遺伝的アルゴリズムを用いたクロック調整の概要を述べ、その3つの利点である、クロック周波数の向上(25%)、電源電圧を下げることによる消費電力の低減(54%減)、設計工数の低減(21%)について説明する。

遺伝的アルゴリズムによる回路調整

遺伝的アルゴリズムは、多数のパラメータの最適値を短時間で求めることが可能な確率的探索アルゴリズムの一種である(図3)。

遺伝的アルゴリズムでは、解の候補を一定個数用意して集合を形成し、それらの任意の組からより良い解の候補を生成する過程を繰り返すことで最終的に最適値あるいは準最適値を求める。遺伝的アルゴリズムは、次の3つのステップから成る。

1. 染色体と呼ぶ、パラメータ群の設計と設定を行う

図3の例のように、N個の調整回路を有するLSIに対してはN個のパラメータ値を最適に設定することが目標となる。各パラメータが3ビットの値を持つとすると、全体で3Nビットのビット列が1組のパラメータ値を表す。まずはこのような染色体をランダムに生成し、一定個数個用意して初期集合とする。

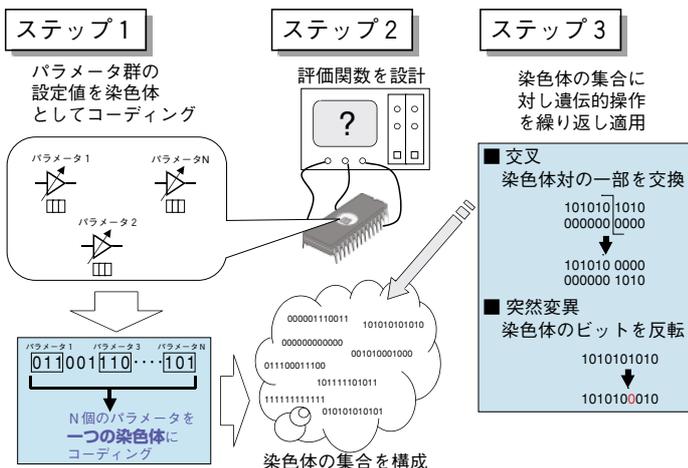
2. 染色体の良し悪しを判断する評価関数(適応度)を設計する

この評価関数は回路毎に異なり、クロック調整の場合には機能テストの正答率を評価関数として用いる。

3. 遺伝的操作を行う

「交叉」や「突然変異」などの操作があり、この遺伝的操作を何世代も繰り返すうちに、最適な染色体、つまり調整回路群に対する最適なパラメータ値が求まる。

図3 遺伝的アルゴリズム



遺伝的アルゴリズムを用いたクロック調整により、高速LSIの消費電力を低減させた次世代半導体研究センター 高橋主任研究員

プログラマブル遅延回路によるクロック調整

図4にてクロック調整の原理を説明する。図中のレジスタは、クロック信号に従って、入力データを記憶し、そのまま出力する。回路AおよびBは、クロックとは無関係に入力データに対してある演算を行い(図の場合には1を加える)、一定時間後に出力する。(4a)の回路を実装したあるチップにおいて、レジスタ2のクロック信号が本来のタイミングよりも早めに到着する場合、この回路は誤動作する。そこで、レジスタ2のクロック入力に(4b)のような遅延回路を挿入すれば正しく動作する。

ただし、このような遅延を必要とする回路は、LSI全体で多数に及び、しかも相互に密接に関連しており、各遅延を最適値に設定するのは、人手では困難な探索問題となる。そこで、各遅延回路の遅延をチップ製造後にビット列で指定できるようにし(プログラマブル遅延回路と呼ぶ)、これらのビット列を遺伝的アルゴリズムの染色体とみなして遺伝的アルゴリズムを適用することで、多数の遅延回路の最適な遅延値を求めることができる。

図4 クロック調整の技術

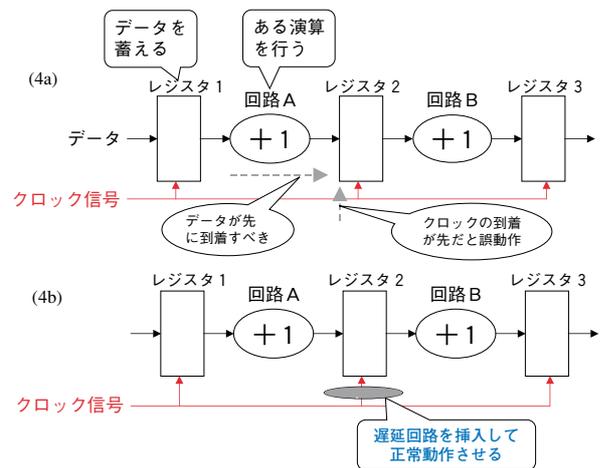


図5 クロック調整によるクロック周波数の高速化

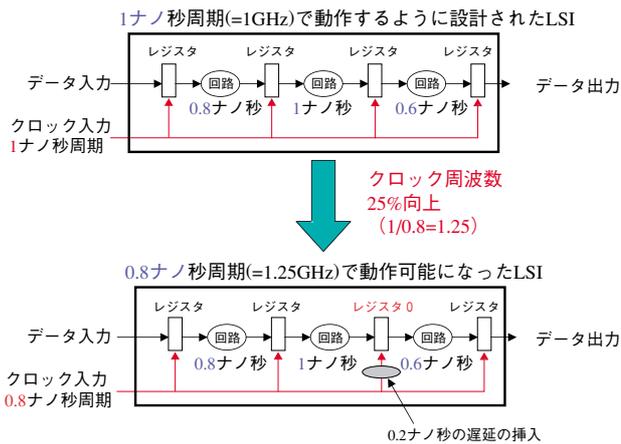
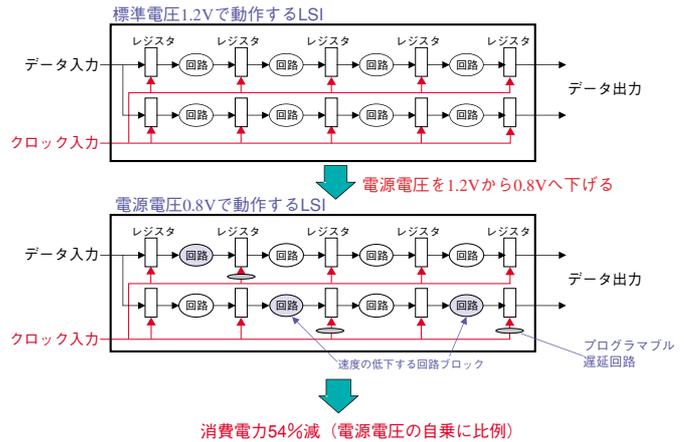


図6 クロック調整による電源の低電圧化の実現



クロック調整の原理と効果

クロック調整の効果を実証するために、最小で30ピコ秒の遅延を制御できるプログラマブル遅延回路を開発し、これを用いて、1GHz動作のメモリテストパターン生成器(ALU)および乗算器を搭載したLSIを製作した。このLSIを用いた実験結果に基づいて、本クロック調整の3つの利点を具体的に述べる。

1. クロック周波数の高速化

図5のように、クロックが1ナノ秒周期(1GHz)で設計されたLSIがあると、製造ばらつきにより、たまたま、3つの連続する回路ブロックがそれぞれ0.8、1、0.6ナノ秒の遅延を持つとする。このチップの中央の回路は1ナノ秒周期であるが、後段の回路が0.6ナノ秒周期なので、予め挿入しておいたプログラマブル遅延回路により、2つの回路の間のレジスタへのクロック信号の到着を0.2ナノ秒遅らすことで、LSI全体として0.8ナノ秒周期で動作可能となり、結果的にクロック周波数が向上する。実際のLSIでは、このような調整箇所が多数存在し、しかも相互に依存するため、人手では調整できない。実験では全LSIにおいて25%のクロック周波数向上を達成した。

2. 電源電圧低減による低消費電力化

既存の低消費電力化技術は非動作回路の消費電力を削減することで全体として低消費電力するものが主流であるが、本方式はチップ内でフルに動作している回路の消費電力を削減する点で画期的である。図6のように、電源電圧1.2Vで動作するように設計されたLSIに対し、電源電圧を0.8Vに下げると、トランジスタの駆動力が低下し、必然的に誤動作する部分(例えば図中の水色の回路ブロック)が生じる。この時、1.と同様に予め挿入しておいたプログラマブル遅延回路により、誤動作する回路ブロックの後段のレジスタへのクロック信号を遅らせて正常動作を実現できれば、結果として電源電圧が低減できる。実験に使用したチップ群では、未調整の状態でも電源電圧が1.2Vの時

1.25GHzクロックに対して全チップが正常動作していたが、電源を0.8Vに下げると全チップが誤動作した。しかし、クロック調整を行った結果、電源電圧が0.8Vの状態でも1.25GHzクロックにおいて全チップが正常動作することが示された。CMOSの消費電力は、電源電圧の2乗にほぼ比例するため、1.2Vから0.8Vに下げることによって54%の低減が可能である。ノートPCや携帯電話にたとえるなら、バッテリーの持続時間をほぼ2倍にすることが可能となる。

3. 回路設計工数の短縮

クロック調整技術の利用を前提とするところで、LSI設計の工数を短縮することができる。なぜなら、従来の回路設計のように最悪時を想定した厳密なタイミング設計を、ある程度省略できるからである。DDR-SDRAMコントローラ(DDR266準拠)の回路設計を従来手法と比較した結果、約21%の工数低減が実現できた。

世界最高速信号処理LSI、商用モバイルCPUへの適用検討開始

遺伝的アルゴリズムを用いたクロック調整は、クロック周波数を上げつつ、同時に消費電力も低減する画期的な回路方式である。当研究グループは、今回紹介した成果をもとに開発した世界最高速(3GHz設計)の低電圧動作デジタル信号処理LSIの評価を進めると共に、商用モバイルCPUへの適用検討を開始した。

● 本研究本研究は、NEDO(新エネルギー・産業技術総合開発機構)の半導体MIRAIプロジェクト(プロジェクトリーダー: 廣瀬 全孝次世代半導体研究センター長)の一部として遂行されている。

● 問い合わせ

独立行政法人 産業技術総合研究所 次世代半導体研究センター
回路システム技術グループ 高橋 栄一
E-mail : e.takahashi@aist.go.jp
〒305-8568
茨城県つくば市梅園 1-1-1 中央第2
URL: <http://unit.aist.go.jp/asrc/>