

集積回路の性能限界を突破する本格研究 高性能Ⅲ-V族トランジスタをシリコンの上に形成

微細化は限界に

私たちが日常使っている携帯電話、デジタル家電、パソコンなどは、年を追うごとに高性能化してきました。これらの製品に使われている集積回路は、半導体であるシリコン（Si）を主な材料としたMOS（金属-酸化物-半導体）型の電界効果トランジスタにより構成されています。集積回路の演算やメモリー機能を高速化・大容量化しつつ、消費電力を抑制することを可能にしたのは、集積回路を微細化する技術です。最新の集積回路では、MOSトランジスタの電流を制御するゲートの長さは原子の数にして数百個分、ゲート絶縁膜の厚さは原子数十個分とナノメートル（1ナノメートルは百万分の1mm）のレベルまで小さくなっています。多数のデバイス間の寸法ばらつきも考慮すると、微細化は物理的な限界に達しつつあります。

では、集積回路の性能は、これでもう充分なのでしょうか。集積回路を用いた情報通信技術は、安全・安心で豊かな暮らしのための基盤であるだけでなく、近年では、暮らしや仕事のさまざまな場面でのエネルギー消費を効率化し、低炭素社会を実現する技術としての重要性も増しています。これからは、集積回路の高性能化と低消費電力

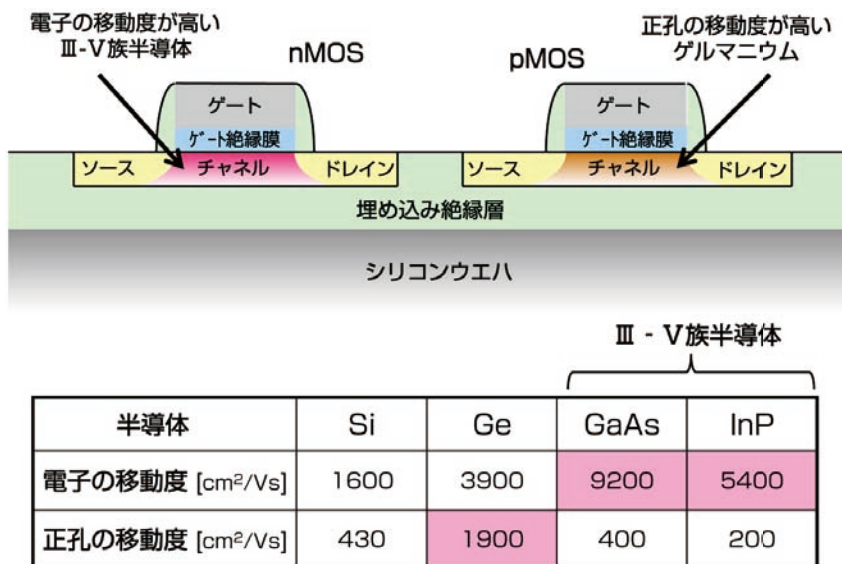


図1 シリコンよりも移動度が高い半導体を用いた究極の相補型 MOS トランジスタ
電子が流れる nMOS にはⅢ-V 族半導体、正孔が流れる pMOS にはゲルマニウム系の材料が適している。

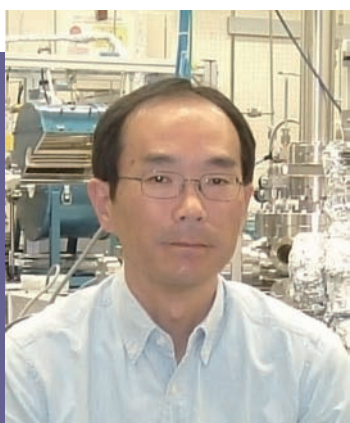
化を、微細化に頼らないで進めていくことが求められているのです。

究極のデバイスを目指して

微細化限界の先を見据えて、これまで使われてきたシリコンに代えて、ガリウムヒ素（GaAs）やインジウムリン（InP）に代表されるⅢ-V族半導体を用いたMOS型トランジスタの研究を進めています。Ⅲ-V族半導体は、電子の流れやすさを表す電子移動

度がシリコンに比べて数倍大きいという特徴があります。そのため、シリコンよりも動作が速く、より低い電圧で動作するトランジスタを作ることができます。実際の集積回路では、電子が流れる nMOS と正孔が流れる pMOS とをペアとして相補的に用います。そこで、nMOS にⅢ-V族半導体を用い、pMOS には正孔移動度が大きいゲルマニウム（Ge）を用いることで、究極の集積回路を実現できます（図1）。ここで大切なのは、Ⅲ-V族半導体やゲルマニウムといった新しい材料をシリコンウエハの上に形成し、シリコンのプラットフォーム技術をうまく活かしていくことです。

図1のようなデバイスは、実際に作るのとはとても難しいのです。まず、シリコンウエハの上に、種類の異なる半導体層を形成しなくてはなりません。この層は、結晶として高品質であるだけでなく、その厚さは最終的には100原子層程度ときわめて薄くすることが



東京大学助手、ノースカロライナ州立大研究員を経て、1994年に旧工業技術院産業技術融合領域研究所に入所し、半導体や絶縁体の薄膜形成をナノメートルスケールで計測・制御する研究を行いました。経済産業省に2年間出向し技術戦略の企画・調査を担当した後、現在は化学工学のバックグラウンドを活かすナノデバイスの研究に取り組んでいます。

安田 哲二（やすだ てつじ）
yasuda-t@aist.go.jp
ナノ電子デバイス研究センター
新材料インテグレーション研究チーム(つくばセンター)

必要です。さらにⅢ-V族半導体のMOSトランジスタは、ゲート絶縁膜の界面に欠陥が生じやすいため、良好なトランジスタ特性を得ることは容易ではありません。実際、1970年代から1980年代にかけて、Ⅲ-V族MOSトランジスタは世界中で盛んに研究されましたが、絶縁膜界面の問題のために、実用化に至らなかったという経緯があります。

分野と組織を横断する

私たちは、シリコンウエハ上にⅢ-V族MOSトランジスタを作製し、良好なデバイス特性を得ることに世界に先駆けて成功しました(図2)。まず高周波デバイスとして実績のあるインジウムガリウムヒ素(InGaAs)をⅢ-V族半導体として選択し、これを埋め込み絶縁層を介してシリコンウエハの上に貼り合わせた新構造ウエハ(Ⅲ-V On Insulator)を開発しました。さらに、MOSトランジスタのゲート絶縁膜について、シリコンデバイスの研究の中で開発された高誘電率絶縁膜技術を適用することにより、界面構造を制御する手法を確立しました。これらの要素技術を統合して作製したⅢ-

V族MOSトランジスタは、シリコンに対して2倍以上の高い電子移動度でデバイス動作しました。この結果は、シリコン技術に新しい材料を導入することにより、微細化限界を突破できることを実証するものです。

図2の成果は、研究プロジェクトを開始して2年ほどの間に達成したものです。比較的短い研究期間で成果を得ることができた理由は、産総研の中の複数の研究ユニットがそれぞれの得意技術を持ち寄るとともに、プロジェクトに参加している東京大学、物質・材料研究機構、住友化学株式会社、産総研の4機関が緊密に連携したことにあります。図2のトランジスタ作製を例にとると、まず住友化学がInGaAsのエピタキシャル成長を行い、これを産総研の集積マイクロシステム研究センターでシリコンに貼り合わせ、東京大学でⅢ-V On Insulator構造を完成しました。これに続いて、産総研の私たちのチームと物質・材料研究機構で開発した界面制御を応用してゲート絶縁膜を形成し、ナノプロセッシング施設のリソグラフィーと、エレクトロニクス研究部門と光技術研究部門のⅢ-V族半導体プロセスを利用してトランジスタ

を完成させました。

研究者としての基礎体力

新デバイスの開発では、幅広い要素技術の統合をニーズの変化に対応したタイムスケールで実行することが求められます。上で述べたような研究者間の協力や連携が有効ですが、その前提となるのは、個々の研究者や研究グループが磨いてきた一級品の要素技術であり科学的知識であることを忘れてはなりません。私たちのチームの場合は、シリコン表面の熱酸化過程や高誘電率絶縁材料の成膜過程を原子レベルで計測し制御するための技術と知識であり、基礎的な事柄をしつこく追い掛ける中で培われたものです。「技術を社会へ」という産総研のミッションを果たすべくアウトカムを創出しつつ、研究開発の現場に直接携わる者として、研究の「基礎体力」を充実させる地道な努力が疎かにならないよう心掛けたいと思います。

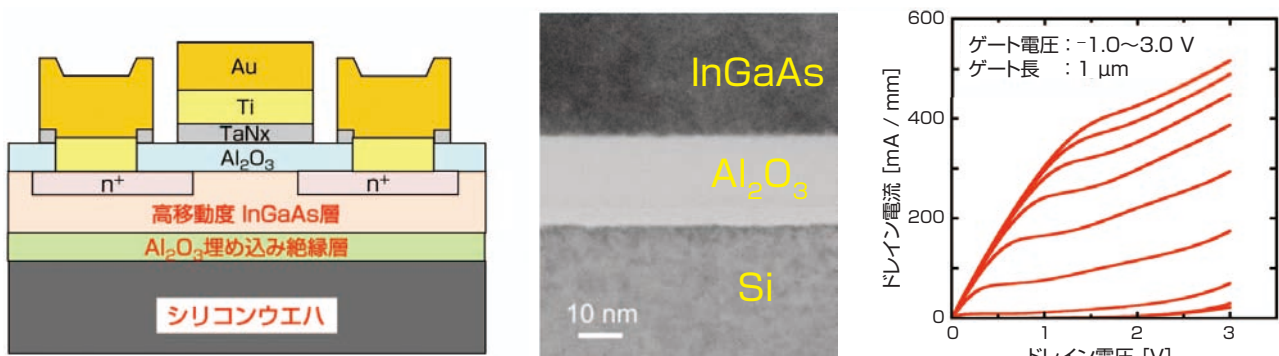


図2 シリコン上に形成したⅢ-V族半導体 InGaAs を用いた MOS トランジスタの概念図(左)、透過電子顕微鏡によるⅢ-V On Insulator 構造の断面観察(中央)、トランジスタ特性(右)。* Au: 金、Ti: チタン、TaNx: 窒化タンタル、Al₂O₃: 酸化アルミニウム