

半導体 MIRAI プロジェクト

— 半導体技術の未来を拓く基盤技術開発 —

次世代半導体研究センター 副研究センター長 金山 敏彦

1. 半導体 MIRAI プロジェクトのねらい

半導体とは、そもそも、金属のような電気の良導体でもなく、ガラスのような電気を通さない絶縁体でもない中途半端な電気伝導度を持つ物質のことである。が、今ではもっぱら半導体を材料とする電子素子、特にシリコンを用いた集積回路を表す意で用いられることが多い。シリコンに代表される半導体は、その中途半端な性質ゆえに不純物を添加したり電圧を加えることで電流の流れやすさを大きく変化させることができ、この特性を利用して情報の処理や信号の増幅など、様々な機能を果たすことができる。回りを見渡してみると、半導体のお世話にならずに一日を過ごすことがほとんど不可能なほどに、半導体を使った機器があふれているのに気づく。携帯電話やインターネットなどの通信技術の発展と相まって、半導体は今では情報技術を支える、現代社会に欠かせない存在になっている。

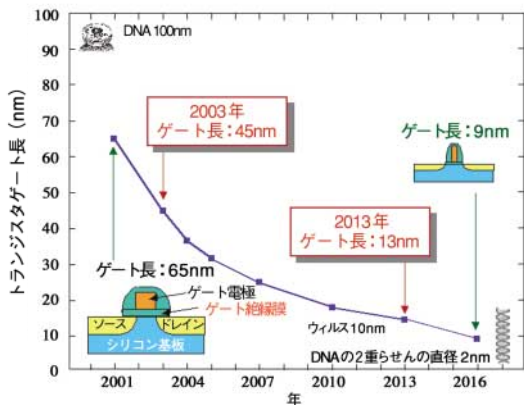
半導体集積回路は、今でも文字通り日進月歩の性能向上を続けている。その秘訣は、スケーリング則という比例縮小則に従ってトランジスタや

配線の構造を小さくし、一つの集積回路に詰め込むトランジスタの数を増やす、つまり、微細化と高集積化にある。この趨勢を見事に表現しているのが、1965年に提唱されたムーアの法則で、それによると、半導体の集積度は3年で4倍という向上を続けている。微細化によって高性能化したトランジスタを数多く集積することによって機能を倍々ゲームで向上させ、しかも、集積回路全体を一括して生産することで、価格を一定水準にとどめるといふ、希有の性能更新が長年にわたって成立してきたわけである。言い換えれば、半導体集積回路は、登場した60年代以来、使用する材料や構造を根本的には替えることなく、桁外れの性能向上を続けてきた。これが、半導体産業の発展を支えてきた原動力になっている。

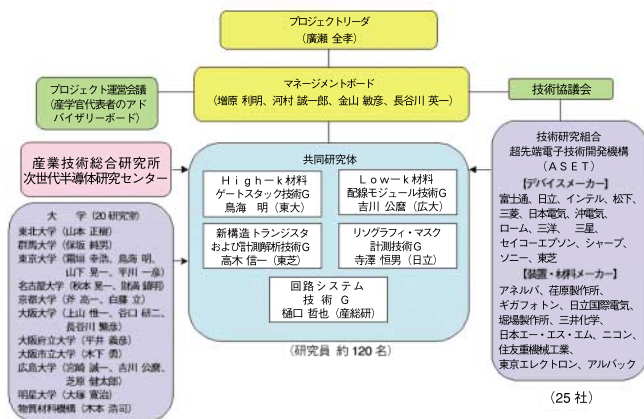
このムーアの法則に従う集積度の向上は、今後もしばらくは続くと言測されている。図1は、半導体技術展開のシナリオを描いた、いわゆる半導体技術ロードマップ2001年版に基づいて、マイクロプロセッサに用いられるトランジスタの中で電流を制御する役割のゲート電極の幅(ゲート長)の、今後の微細化の推移

を示したものである。現時点で、ゲート長は既に65nmと、100nm(1nm=百万分の1mm)を優に下回る、ナノメートルの領域に突入している。2010年まで、このトレンドを維持するには、ゲート長を20nm程度に縮小する必要がある。このように極微細な構造を大量生産するにも驚異的な技術が必要となるが、ここまで微細化を進めるには、もっと深刻な課題がいくつも現れる。例えばゲート絶縁膜という部分には酸化シリコンが使われているが、この膜の厚さをゲート長に従って比例縮小すると、0.5~0.8nmと原子3~4個分程度になってしまう。原子よりも小さな構造を作ることは不可能なので、ここにいたって半導体の微細化は、本質的な壁に近づいているのがお分かりいただけるだろう。実際の壁は、原子数個分の薄い絶縁膜では、電流が通り抜けてしまい、絶縁膜として機能しないことで現れる。

このように、ここ10年以内に確実に直面する微細化障壁は、物質の基本特性に起因していて、容易に解決できる課題ではない。これまでも半導体の微細化には様々な壁が立ち現れたが、その都度、技術的に乗り越



● 図1: マイクロプロセッサ用トランジスタの寸法(ゲート長)の年次推移



● 図2: 半導体 MIRAI プロジェクトの研究体制

えてこられたのに比べ、今回は遙かに困難な本物の登場である。これをうち破るには、半導体集積回路に全く新しい材料や作製プロセスを導入し、同時に、トランジスタの構造や回路設計などを革新してゆかねばならず、半導体の歴史にはない革新的な技術開発を必要とする。この問題に対し、幅広い分野の専門家の頭脳を集中して基本原理に立ち戻った研究を展開し、数年以内に実用に供しうる解を見出すのが、半導体MIRAIプロジェクトの目的である。MIRAIとは、Millennium Research for Advanced Information Technologyの略だが、このプロジェクトには、半導体技術のMIRAIが託されているとの自負を込めている。

2. プロジェクトの研究開発体制

半導体MIRAIプロジェクトの正式名称は、新エネルギー・産業技術総合開発機構（NEDO）の委託プロジェクト「次世代半導体材料・プロセス基盤技術開発」で、その使命は、大きな壁が立ちほだかる特性寸法が70nm（図1のゲート長では約30nmに相当）より微細な次世代半導体のための新材料や新材料プロセス、計測技術、デバイス技術・回路技術の研究開発である。プロジェクトの期間は、2001～2007年度の7年間で、これを第一期2001～2003年度と、後半の第二期（2004～2007年度）に分け、研究計画や体制の機動的な見直しを行う。研究開発予算は、2001年

度38億円、2002年度45.6億円である。

このプロジェクトを産学官の研究者が一体となって遂行するために、図2のような半導体MIRAIプロジェクト共同研究体を組織している。この共同研究体には、産総研次世代半導体研究センターから常勤職員その他、博士研究員（ポスドク）などを含めて約45名の研究者が参加し、技術研究組合 超先端電子技術開発機構（ASET）を通じて25社の企業から派遣された約75名の研究者と共に、後述する研究テーマに即して、5つの研究グループに分かれて研究を行っている。参加企業は、半導体素子のメーカーだけでなく、半導体の製造装置や材料メーカーなど、広い範囲に及んでいるのが特徴である。また、大学からも20の研究室に参画を仰いでいる。プロジェクトリーダーは、廣瀬全孝次世代半導体研究センター長が務め、プロジェクト全般を統括する。

3. 5つの研究開発テーマ

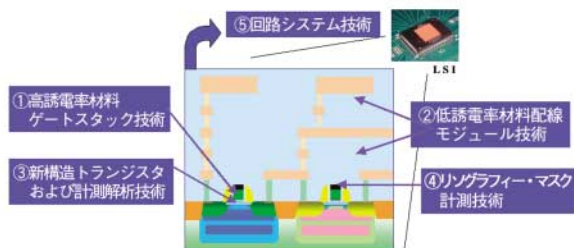
次に、半導体MIRAIプロジェクトが取り組んでいる研究内容を紹介する。研究開発テーマは、図3の5つである。

①高誘電率材料ゲートスタック技術

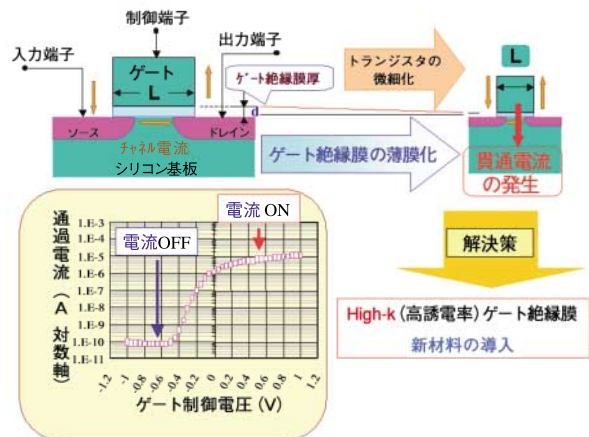
最初のテーマは、先にも触れた、極薄いゲート絶縁膜をいかにして実現するかである。ゲート絶縁膜の役割は、図4のように、シリコン（Si）の表面に電圧を加え、電流が流れる部分（チャンネルと呼ばれる）を作り

出すことにある。ちょうど、水が流れるホースに力を加えて、水流を流したり止めたりするのに似ている。ホースの壁が薄いほど水流を制御しやすいように、ゲート絶縁膜も薄いほど電流の制御能力が上がり、トランジスタの性能が向上する。しかし、薄すぎると電流が漏れてしまい、役に立たなくなる。漏れの原因は、膜に開いた穴ではなく、量子力学的なトンネル効果という本質的なものであるため、仮に完璧に欠陥の無い膜ができたとしても、問題の解決にはならない。

これを解決する糸口は、誘電率の高い絶縁膜を採用することだ。誘電率の高い材料は、電圧を伝える能力が高い。ホースのたとえで言うと、やわらかい材料を使うことに相当する。これまで、ゲート絶縁膜としてはもっぱら、比誘電率が4の酸化シリコンSiO₂を使ってきたが、それよりも誘電率の高い材料を使うことで、厚い膜を使っても電気的には膜を薄くしたと同等になり、漏れ電流の抑制が可能となる。 hafnium の酸化物HfO₂などが有力な候補材料で、実際に図4のように良好なトランジスタ特性が得られている。しかし、高誘電率の絶縁膜といっても、使える厚さは高々5nm程度に限られる。そのため、このような新材料を使いこなすには、Siの上に界面を乱すことなく無欠陥に原子レベルの精度で薄膜を形成する技術が必要とな



●図3: 半導体集積回路の断面構造とMIRAIプロジェクトで取り組む5つの研究テーマ



●図4: High-kゲート絶縁膜の必要性和HfO₂をゲート絶縁膜に用いたトランジスタの特性（挿入図）

る。このためには、形成プロセスの原子過程を測定・解析・設計する技術も欠かせない。また、この絶縁膜の上につける電極材料も開発しなければ、特長が生きてこない。全て MIRAI プロジェクトで取り組んでいる、チャレンジングな課題である。

②低誘電率材料配線モジュール技術

集積回路の内部では、配線が何層にも張り巡らされて、信号を伝達している。その層数は最大10層にも及ぼうとしている。これを微細化すると、図5のように配線同士の距離が近くなるために、お互いの負荷が増し、スピードが上がらなくなると同時に消費電力の増加をきたす。この状況を避けるには、先ほどの例とは逆に、配線を支える絶縁材料を電圧を伝えにくいものに、つまり誘電率の低いものに替えればよい。従来は、ここにも SiO₂ を使ってきたが、できるだけ誘電率の低い絶縁膜材料を開発する必要がある。MIRAI プロジェクトでは、比誘電率 1.5 と、真空や空気の誘電率 1 に近い値が目標である。均一な材料でこれだけ低い値を出すには限界があり、SiO₂ などの中に nm レベルの空孔を高い密度に導入した多孔質材料に可能性がある。ところが、この層間絶縁膜は配線を支えるのが役目なので、単に孔をたくさん空ければよいというわけにはゆかず、低誘電率と同時に、必要な機械強度や加工プロセスへの耐久性を持たねばならない。また、集積回路の中の

配線材料は、アルミから、電気抵抗が低く大電流を流しても劣化しにくい銅に置き換えられつつある。しかし銅は厄介な材料で SiO₂ の中に拡散して入り込み絶縁性を劣化させる。この対策も必要である。MIRAI プロジェクトでは、図5のように、SiO₂ 中にナノレベルの孔を蜂の巣状に周期的に配列することで、機械強度の大きな低誘電率材料を作ること成功している。このような開発は、構造解析の確かな方法がなければ進めることが難しい。図5に示した X 線の散乱から周期構造や孔の径を解析する技術は、材料開発に大いに有効性を発揮している。

③新構造トランジスタおよび計測解析技術

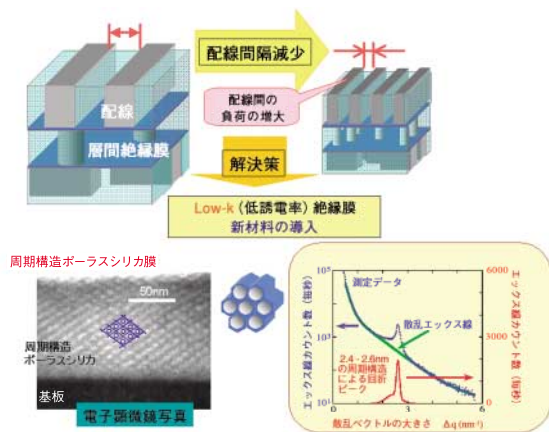
トランジスタの性能を上げるには、微細化に頼るだけでなく、Si の材料的限界をも超えることが必要となってくる。Si そのものを使いながら、これを実行する方法がある。それは、Si の結晶を引き伸ばす方法である。こうすると、電子や正孔の移動速度が上昇し、電流の駆動能力が上がる。とはいっても、実際に引っ張って大きな張力を加えるわけではなく、図6のように Si よりも原子半径が大きな Ge を含む層の上に Si の結晶を成長させる方法をとる。この「ひずみ Si」を SiO₂ 絶縁膜の上に形成し、ひずみ SOI (Si on insulator) という構造をとることで、寄生的な負荷を減らし、さらに高速化が図れ

る。MIRAI プロジェクトでは、ひずみ SOI を使って CMOS (相補型 MOS) 回路を試作し、普通の Si に作った回路に比べて、60% 以上動作速度が速くなることを実証済みである。

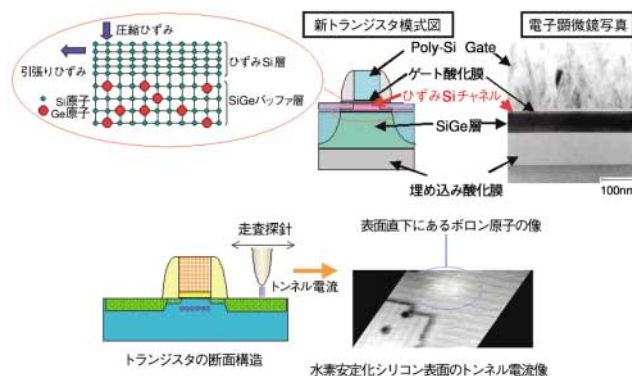
また、トランジスタを微細化すればするほど、電流を制御するチャネル領域に隣接する電極に当たる部分 (ソースおよびドレインと呼ばれる) に、Si の材料限界を超えて高い濃度の不純物を導入し、低抵抗で極薄い導電層を形成する必要に迫られる。当然のことだが、これを実行するには、不純物原子の分布を nm レベルの極めて高い分解能で計測しなければならず、ナノテクノロジーの測定技術、例えば走査トンネル顕微鏡 (Scanning Tunneling Microscope, STM) などの走査プローブ技術の定番となる。走査プローブ顕微鏡は、原理的な分解能は高いものの、測定対象以外の様々な要因の影響を受けやすい。必要な情報を抽出し、信頼性の高い計測を実現する技術の開発が、MIRAI プロジェクトで取り組んでいる課題である (図6下)。

④リソグラフィ・マスク計測技術

半導体集積回路の微細な構造は、図7のように、回路パターンを原図を縮小投影して焼き付ける、リソグラフィという方法で作る。微細化を進めるには、リソグラフィ技術自体の開発が重要なことになりはしないものの、パターンの寸法や形状を計測する技術も、同時に原理的な



●図5：低誘電率絶縁膜の必要性（上）と研究成果（下）：多孔質シリカ膜の形成（下左）とX線による解析結果（下右）



●図6：ひずみ SOI を用いた新トランジスタ構造（上）と走査トンネル顕微鏡 (STM) による不純物位置の直接測定技術の開発（下）

困難に突き当たる。例えば、50nmのパターンを量産するには、0.5nmと原子レベルの寸法計測精度が要求される。これには、光学顕微鏡はおろか、走査電子顕微鏡も対応できない。そのため、MIRAIプロジェクトでは、原子間力顕微鏡（Atomic Force Microscope, AFM）を測長に使う技術を開発している（図7）。AFMが原子レベルの分解能をだせるのは周知だが、測定に使う探針先端が10nm程度の大きさを持つので、パターン幅の絶対値を高精度に計測するには、探針の先端形状を計測してその効果を差し引くなど、特別な技術開発を要する。また、測定の信頼性確立や標準化も重要である。

また、パターンが微細になると、リソグラフィプロセスは、それだけ小さな欠陥やごみの微粒子の影響を受けることになり、これらを検出する技術も新たな開発が必要になる。MIRAIプロジェクトでは、リソグラフィに用いるマスクの欠陥検査・同定を、高速・高精度で行うために、波長200nm以下の連続発振レーザとそれをういた欠陥検査システムの開発と、収束した極端紫外線を用いて直径50nm程度の微粒子でも組成分析ができる技術の開発を進めている。

⑤回路システム技術

半導体を微細化し高集積化すると、集積回路の内部でどうしても信号の遅延や素子性能のばらつきが顕在化し、誤動作の原因となってしまう。

集積回路を作った後で、このようなばらつきの調整が可能となれば、極限まで性能を引き出すことができる。MIRAIプロジェクトでは、事後調整を許す回路構成技術と、このような調整を適応的に行う技術の開発を進めている。適応調整には、回路特性を測定しながら、遺伝的アルゴリズムなどを使って、多くのパラメータを短時間で最適化する方法を用いる。この手法で、プロセッサの動作タイミングを調整し、動作速度を高速にすること（図8）や、アナログ回路の特性を調整によって大幅に向上させることなどが達成できている。MIRAIプロジェクトでは、タイミング調整が10ps（=1千億分の1秒）単位で実行できる技術を開発し、それが、様々な目的のデジタル回路の性能向上に有効であることを、実証的に示していく。

4. 半導体技術の研究開発拠点として

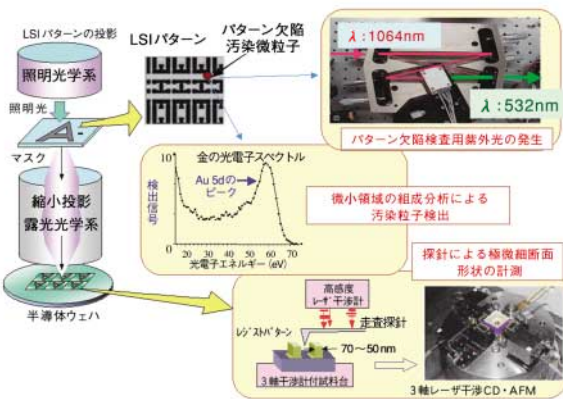
半導体MIRAIプロジェクトは、産総研の西事業所内に3月末に竣工したスーパークリーンルーム産学官連携研究棟に研究拠点を置く。この研究棟は、3,000m²のスーパークリーンルーム（JIS規格クラス3）と1,500m²の研究クリーンルーム（クラス5）を備え、研究用のクリーンルームとしては世界トップクラスに位置する。ここに、半導体MIRAIプロジェクトの他、「HALCAプロジェクト」、「あすかプロジェクト」の3つの最先端半導体研究開発プロジェクトがこの



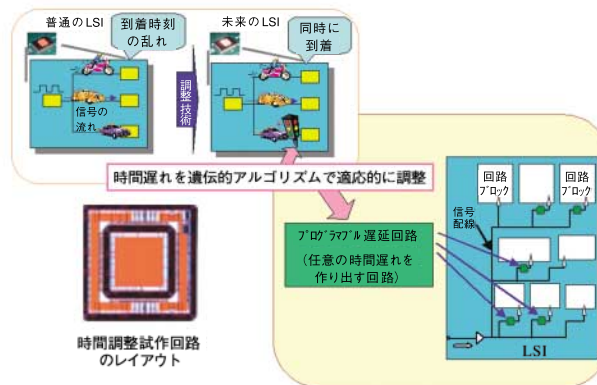
●写真1:スーパークリーンルーム産学官連携研究棟の全景と研究クリーンルームの内部

ほど集結した。あすかプロジェクトは、スーパークリーンルームでのSoC(System on Chip、システムLSIとも言う)開発の共通基盤技術の構築およびそのための先端デバイス・プロセス技術開発を目的とし、期間は2001～2005年度、研究開発費は5年間で700億円の予定で、人員は約250名を数える。HALCAプロジェクトは、2001～2003年度の3年間で、約80億円の総予算と約35名の研究人員で、多品種変量生産向きの高効率・省エネの半導体製造システムを開発する。

ここに我が国最大の半導体技術の産学官連携研究拠点としての陣容が整った。MIRAIプロジェクトは、この中で最も基盤的で先端的な研究開発を担当する。しっかりとした科学的知見に裏付けられた研究開発を展開するとともに、3つの最先端半導体研究開発プロジェクト連携の実を生かして、半導体産業の競争力強化に貢献する技術開発を目指す所存である。



●図7:リソグラフィ・マスク計測技術の研究テーマ



●図8:クロックタイミングの適応型調整技術