

# 自己整合ゲート強誘電体FET

## 長期データ記憶で1T型FeRAM実用化を加速

次世代の半導体不揮発メモリデバイスとして期待される、強誘電体ゲートの電界効果トランジスタ（FET）を自己整合ゲート方式で作製し、さらにデータ書き込み後16日間経過しても $10^5$ 以上の大きなON/OFFドレイン電流比を保持できることを確認した。

この成果により、従来の非自己整合ゲート方式のままでは困難であった強誘電体ゲートFETの微細化が可能になるため、1トランジスタ型FeRAMや不揮発論理集積回路の開発が加速される。

A ferroelectric-gate field-effect transistor (FeFET) of a self-aligned-gate type has been fabricated. It has been demonstrated that an ON/OFF drain current ratio larger than  $10^5$  was held for 16 days after data writing. The success in this self-aligned-gate type means possible downsizing of FeFETs, which is indispensable for large-scale integration of non-volatile memory to the next generation. The development of one-transistor type FeRAMs and non-volatile logic integrated circuits will be accelerated.

近年、強誘電体メモリ（FeRAM）は、競合する半導体不揮発メモリの一つとして研究開発が盛んに行われている。FeRAMは、現在広く普及している半導体不揮発メモリであるフラッシュメモリと比べて、原理的にデータ書き換え耐性に優れており、書き換え速度も速い。現在、製品開発されているFeRAMは1T1C、2T2C（T：トランジスタ、C：キャパシタ）などと呼ばれ、制御トランジスタとメモリキャパシタが分かれたセル構成になっている。この型のFeRAMは読み出し時にデータを消失してしまうため、読み出し後の

再書き込み動作が必要であり、また複数デバイス（トランジスタ、キャパシタ）で1メモリセルを構成するために将来の高集積化にも限界が見えている。

一方、強誘電体ゲートFETは、1トランジスタでFeRAMを構成でき、データの読み出しが非破壊で、かつ、高集積化にも有利である。しかし、この基本的な動作原理が提唱され研究が始まって以来数10年経つが、強誘電体ゲートFETはデータ保持時間が短いという問題が長らく解決できず、絶縁バッファ層と強誘電体層の材料の選択

酒井 滋樹 Shigeki Sakai  
shigeki.sakai@aist.go.jp  
エレクトロニクス研究部門  
主任研究員

強誘電体ゲートFETの他、超伝導超格子素子、大面積レーザーアブレーション製膜技術も研究している。  
強誘電体ゲートFETは、ぜひ実用化までつなげたく奮闘している。

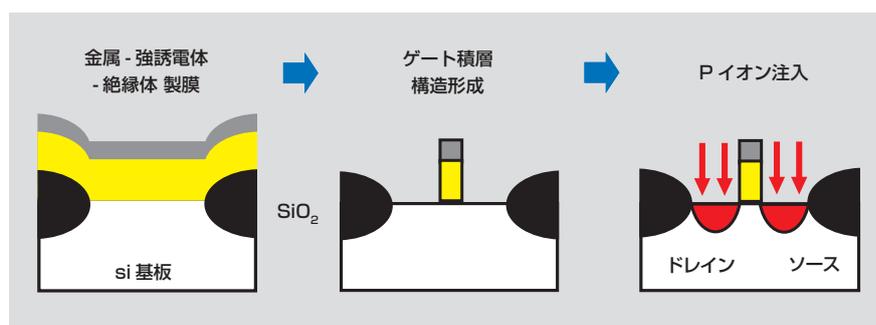
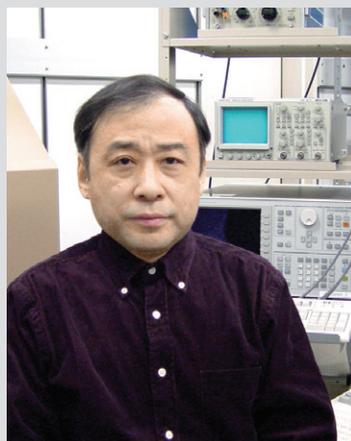


図1 自己整合ゲート方式による強誘電体ゲートFET作製工程

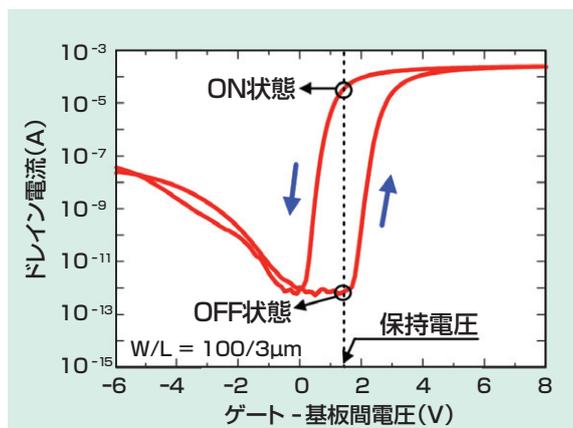


図2 自己整合ゲート方式による強誘電体ゲートFETのドレイン電流履歴曲線

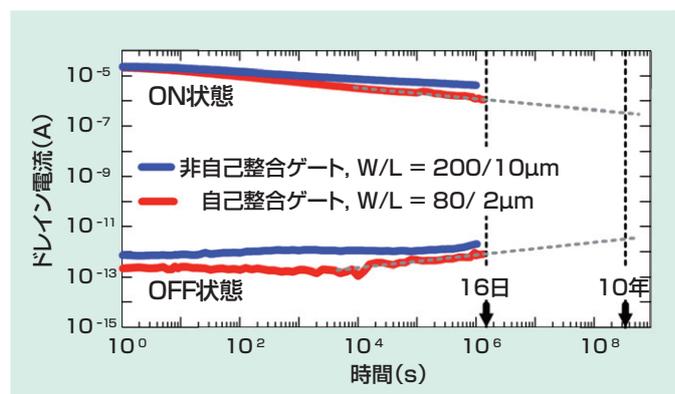


図3 自己整合ゲート方式の強誘電体ゲートFETのON/OFFドレイン電流比保持特性  
非自己整合ゲート方式\*によるデータも比較のため付記した。

と適切な形成プロセスの開発が最重要課題となっていた。その際、エッチングダメージの問題がこれに重なると訳が分からなくなるので、強誘電体層と絶縁バッファ層はエッチングしない非自己整合ゲート方式を採用して、FETを試作するのが通例であった。

我々は2002年に、ゲート積層構造の絶縁バッファ層にハフニウム複合酸化物を、強誘電体層には $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を導入することで、長いデータ保持時間の実現に成功した\*。この成果をベースにしたSi基板上のゲート積層構造に対して、今度は自己整合ゲート方式のFET作製の研究を進めてきた。非自己整合ゲート方式のままでは、ゲート電極を加工する際の光学マスクの位置合わせずれ量を考慮する必要があり、強誘電体ゲートFETの微細化が困難であったが、今回、自己整合ゲート方式による強誘電体ゲートFETの作製に成功したことにより、このマスクず

れマージンの考慮は不要となった。これにより、強誘電体ゲートFETの微細化の研究が可能となる。

まず、フォトリソグラフィ技術で残したゲート形状のフォトレジストをマスクにして、金属・強誘電体・絶縁体の積層をイオンビームでエッチングした後、P（リン）の陽イオンを打ち込んでソース・ドレイン領域を形成し、強誘電体ゲートFETを作製した(図1)。強誘電体分極履歴を表すドレイン電流のゲート電圧依存性を(図2)に示す。エッチングおよびイオン注入によるデバイス特性の劣化を抑制し、自己整合ゲート方式の強誘電体ゲートFETでは、世界で初めて良好なON/OFFドレイン電流比保持特性を示すことに成功した(図3)。

ゲート長 $2\ \mu\text{m}$  (1マイクロメートルは100万分の1メートル)の自己整合ゲート方式の強誘電体ゲートFETでは、データ書き込み後16日間が経過

しても $10^5$ 以上の大きなON/OFFドレイン電流比を保持していることを確認した。横軸はデータ書き込み後の時間、縦軸はドレイン電極に電圧を加えたときの読み出し電流 $I_d$ であり、ともに対数で表している。情報‘1’、‘0’の読み出し電流の比が大きければ‘1’、‘0’の状態を識別できるので、この電流の比がデータ保持性能の指標となる。データ書き込み直後(1秒後)、この比は7桁程度であり、16日間経過して後もこの比はきわめて大きく、5桁以上を維持している。この傾向から類推すると、10年経過後もON/OFFドレイン電流比は4桁を保っていることになる。

この成果により、強誘電体ゲートFETの微細化の道が開けたので、1トランジスタ型FeRAMおよび不揮発論理集積回路の研究開発がいっそう加速されるだろう。

#### 関連情報：

- 共同研究者：高橋光恵、堀内健史
- プレス発表 2004年12月15日
- プレス発表 2002年10月24日、S. Sakai: AIST Today Vol.3, No.1, 18 (2003).\*