

世界最高性能の界面制御エンハンスメント型埋め込みチャネル 4H-SiC MOSFETの作製に成功 - チャネル移動度 $140\text{cm}^2/\text{Vs}$ を達成 -

**A great success of Interface Controlled Enhancement type Buried-Channel 4H-
SiC Metal-Oxide-Semiconductor Field Effect Transistor (ICE-BC MOSFET)
with the best electrical performance in the world
- Establishment of channel mobility of $140\text{cm}^2/\text{Vs}$ -**

パワーエレクトロニクス研究センター
先進パワーデバイス研究室
Power Electronics Research Center
Advanced Power Devices Lab.

Abstract

We have fabricated buried channel MOSFETs with a thermally grown gate oxide in 4H-SiC. The gate oxide was prepared by dry oxidation with H_2O annealing. The buried channel region was formed by nitrogen ion implantation at room temperature followed by annealing at 1500°C . The optimum doping depth of the buried channel region has been investigated. For the nitrogen concentration of $1 \times 10^{17} \text{cm}^{-3}$, the optimum depth was found to be $0.2\mu\text{m}$. Under this condition, the channel mobility of $140 \text{cm}^2/\text{Vs}$ was achieved with the threshold voltage of 0.3V . This channel mobility is the highest reported so far for an enhancement type 4H-SiC MOSFET with a thermally grown gate oxide.

1 はじめに

パワーデバイスの炭化珪素 (SiC) は、Siよりもバンドギャップが2~3倍ある。このために絶縁破壊電界が1桁大きく、飽和電子速度は2倍、熱伝導度は3倍大きいので、次世代のパワーエレクトロニクスの半導体材料として期待されている。これらの優れた物性値からSiCデバイスの通電状態での抵抗値は、Siデバイスよりも約2桁下がると予想されている。さらに、SiCデバイスは、バンドギャップが大きいために動作温度の上限は、 500°C ~ 600°C になるだけでなく、熱伝導率が大きいので、伝熱面積が小さくても容易に冷却できる。従って、電気自動車に用いられる大容量の制御系素子を小型化することが可能となり、電気自動車の実現を促進することにより、二酸化炭素の削減に寄与する。研究が進みSiCを送電用の電力変換素子に用いられるようになれば、2030年に予想される電力損失のうち580万kWを削減できると試算されている。従って、SiC大電力用デバイスは、省エネ

ルギー、環境技術の鍵になるとして注目されている。また、電力分野だけでなく、SiCデバイスは、21世紀においては、高耐圧だけでなく、高飽和電子速度のために、携帯電話用の無線基地局用の高周波・高出力デバイスとしても期待されている。

パワーデバイスは、一般に、PiNダイオードやショットキーバリアダイオード(SBD)などの整流素子と金属-酸化膜-半導体電界効果型トランジスター(MOSFET)や接合型トランジスターのようなスイッチング素子を組み合わせたモジュールとして使用される。図1にSiとSiCパワーデバイスのオン抵抗と耐圧の関係を示す。このうち、SiCのSBDのオン抵抗は、ほぼ理論値まで下がっており、欧州のメーカーが高温での信頼性試験や歩留まりのデータを公表するなど、着実にビジネス展開へ向けて進んでいる。一方、MOSFETは、オン抵抗が小さくスイッチング速度が速いために、スイッチング素子として期待されている。SiCデバイスの中では、理論的には、4H-SiCのオ

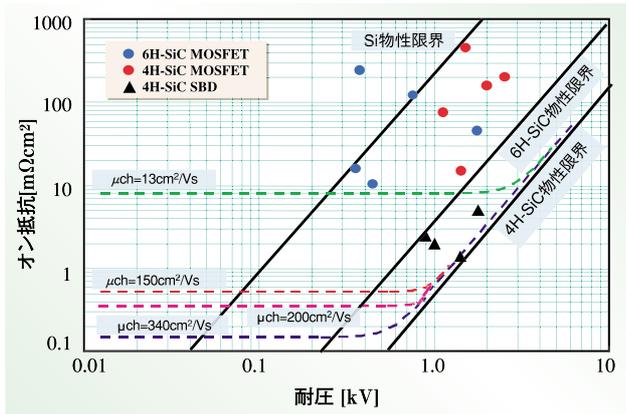


図1 オン抵抗と耐圧の関係

SiCには、3C、6H、4Hなどの様々なポリタイプが存在するが、バンドギャップとバルク結晶のホール移動度が大きいために理論的には、4H-SiCパワーデバイスのオン抵抗値が最も小さい。

ン抵抗値が最も小さくなる。従って、デバイスの研究は、4H-SiCに集中している。しかし、実際には、図1に示すように、これまで報告されたSiC MOSFETのオン抵抗値は、SiのパワーMOSFETの理論値を下回ったものの、4H-SiCパワーMOSFETの理論値より大きい。図2にDMOSと呼ばれるパワーMOSFETの断面模式図を示す。オン抵抗値は、金属とソース/ドレイン間のコンタクト抵抗値、ソース/ドレインのシート抵抗、チャンネル領域の抵抗値、ドリフト領域の抵抗値から構成される。耐圧が小さいほど、オン抵抗に占めるチャンネル抵抗の比重は大きく、耐圧が大きくなるにつれて、ドリフト領域の抵抗値の占める割合が増加してくる。市場の大きい耐圧1kV程度のMOSFETにおいては、オン抵抗値にチャンネル移動度が大きく影響する。ここで、チャンネル移動度は、チャンネル抵抗の逆数に比例する。チャンネル移動度が、13、150、200、340cm²/Vsのオン抵抗と耐圧の関係を図1中に点線で示す。4H-SiC基板を用いた耐圧1kVのMOSFETのオン抵抗値が、ほぼ理論値まで下がるには、約150cm²/Vs以上のチャンネル移動度が必要である。チャンネル移動度を向上するために、界面準位密度(酸化膜とSiC界面間に存在する欠陥)を減らす工夫がなされたが、チャンネル移動度は、10~20cm²/Vsであり、4H-SiC MOSFETのチャンネル移動度を向上するブレークスルーが4H-SiCパワーMOSFETのオン抵抗を下げるための最重要課題となっており、世界中で激しい競争を繰り広げている。

日本では、平成10年から5カ年計画で、実用化のための基盤技術を確認するために「超低損失電力素子

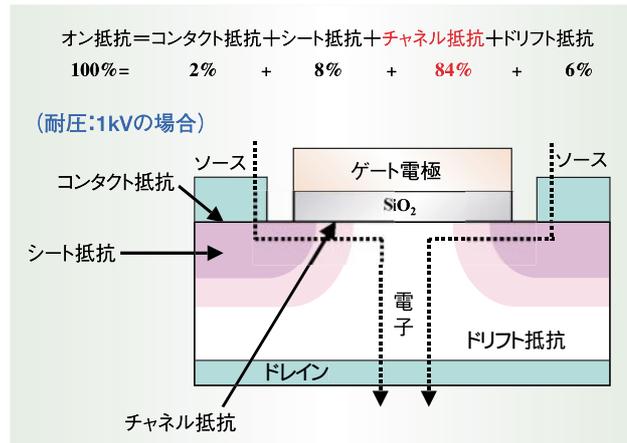


図2 DMOSFETの模式断面図

SiパワーMOSFETにおいて代表的な縦型パワーMOSFET。

技術開発」プロジェクトが実施されている。このうち、SiCの結晶成長からデバイス作製の要素技術や物性/デバイス評価技術に関する基盤技術研究を、パワーエレクトロニクス研究センターで進めている。これまで、新エネルギー・産業技術総合開発機構(NEDO)の委託を受けた新機能素子研究開発協会(FED)が企業の集中研として先進パワーデバイス研究室を電総研内に設け共同研究として進めてきた。我々は、これまでに、オン抵抗値を下げるための要素技術として、低抵抗コンタクト抵抗技術(ETL NEWS 604、612号)や低シート抵抗技術(ETL NEWS 613号)について報告した。チャンネル抵抗技術については、SiC MOSFETの作製プロセスを確立し、高温水素アニールによりチャンネル移動度が向上することを報告している(ETL NEWS 610号)。しかし、チャンネル移動度は、10cm²/Vs程度であり、4H-SiCのオン抵抗の理論値を達成するには、ほど遠いレベルであった。今回、良好な界面を制御する技術と埋め込みチャンネルMOSFET構造の最適化により、140cm²/Vs(世界最高値)のチャンネル移動度を有するエンハンスメント型の4H-SiC MOSFETの作製に成功したので報告する。

2 .SiO₂/SiC界面制御技術

SiC MOSFETの低チャンネル移動度の一つの原因として、SiO₂/SiC界面の準位がSiO₂/Si界面よりも約1桁多いことが指摘されている。ゲート絶縁膜を形成した後に、SiCが酸化をしない温度で、H₂O雰囲気中で熱処理をすることにより、P型6H-SiC MOS構造の価電子帯側の界面準位密度が減少することが報告され

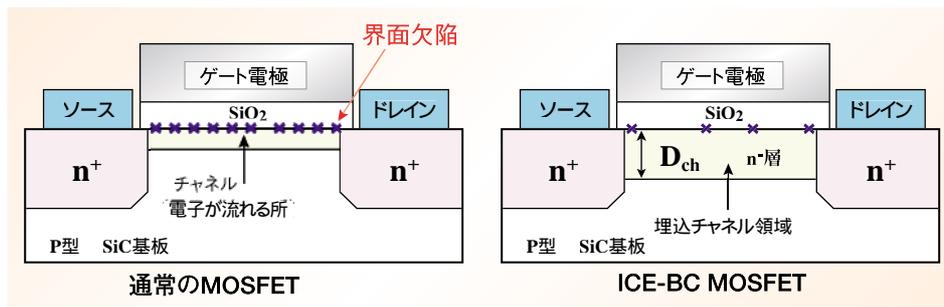


図3 通電状態での通常のMOSFETとICE-BC MOSFETの模式断面図

横型MOSFETを用いて、チャンネル移動度を評価した。ICE-BC MOSFETは、界面の欠陥 (×印) を減らすと同時に、 D_{ch} を最適化した。

た。これは、熱酸化した後に残された炭素原子を水分を含んだ雰囲気中で熱処理することにより、界面を進めずに、界面準位密度の原因となっている炭素を除去することができるので、界面準位密度が下がると解釈されている。しかし、この技術をMOSFETに適用してもチャンネル移動度が向上したとの報告はない。我々は、 H_2O の純度に問題があると考え、高純度の水素と酸素を燃焼させて発生した H_2O をゲート酸化膜のアニールに用いることにより、チャンネル移動度が4~5倍になることを発見した。

3 .SiC MOSFET 埋め込みチャンネル構造

図3に通電状態での通常のn型MOSFETとICE-BC MOSFETの断面模式図を示す。通常のMOSFETでは、ゲート電極に正電圧を印加して、ゲート酸化膜の下に電子を誘起することによりチャンネルを形成して通電状態にする。一方、ICE-BC MOSFETでは、あらかじめ、窒素などのイオン注入により、ゲート酸化膜の下にSiC基板とは逆の導電型である n^- 層を形成する。このような n^- 層を形成することにより、図4に示すように、電流を流すチャンネルの中心が半導体表面から少し内部に入ったところに形成されるため、 SiO_2/SiC 界面の散乱の影響を受けずにバルクの移動度に近い値で流れる電子の数が増えるのでチャンネル移動度が向上する。特に、 SiO_2/SiC 界面に準位が大量にある4H-SiC MOSFETの場合には、大幅なチャンネル移動度の向上が期待される。これまで、埋め込みチャンネル領域の不純物濃度を高くすることによりチャンネル移動度が向上することが報告されていたが、閾値(しきいち)電圧(通電状態になる電圧)が負電圧になる問題があった。閾値電圧が負であるということは、ゲートに正の電圧が印加されていなくても電流が流れていることを意味し、このようなMOSFETは、ディ

プリーション型と呼ばれる(図5参照)。ディプリーション型のMOSFETは使いにくいために、一般に使用されることはない。閾値電圧が正であるエンハンスメント型であることが要求される。これまで、埋め込みチャンネル構造でエンハンスメント型のMOSFETにおいて、チャンネル移動度を大幅に向上することは困難であった。

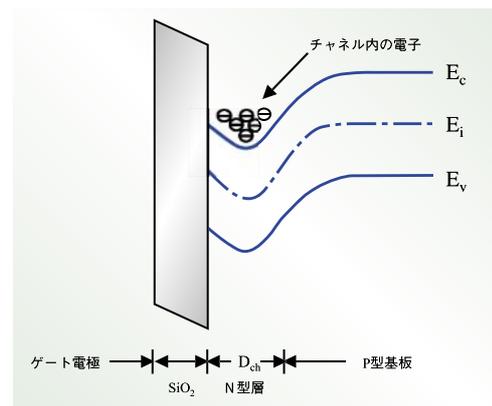


図4 埋め込みチャンネルMOSFETのエネルギーバンド図

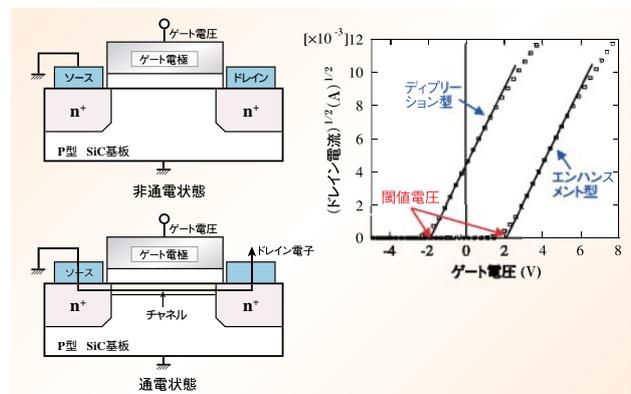


図5 ディプリーション型とエンハンスメント型MOSFETの電流-電圧特性

今回は、図3に示すように埋め込みチャネル深さ(D_{ch})の最適化を図ると同時に、先に述べた、 H_2O 雰囲気による熱処理を用いた SiO_2/SiC 界面の欠陥を減少することにより、埋め込みチャネル構造でエンハンスメント型のMOSFETにおいてチャネル移動度を大幅に向上することに成功した。

4 .MOSFET作製プロセス

MOSFETの作製には、p型エピタキシャル4H-SiC(0001)基板(オフ角度: 8° 、有効キャリア密度: $5 \times 10^{15} cm^{-3}$)を用いた。基板をRCA洗浄した後に、ソース/ドレイン形成のためのリン(燐)を $500^\circ C$ でイオン注入した後に、埋め込みチャネル領域を形成するために、窒素を $1 \times 10^{17} cm^{-3}$ 程度注入した。 D_{ch} は、 $0.15, 0.2, 0.25 \mu m$ とした。次いで、 $1500^\circ C$ で5分の活性化アニールを行った。 $1200^\circ C$ で140分間のドライ酸化により $40nm$ のゲート酸化膜を形成した後に、アルゴン中で $1200^\circ C$ 、30分間アニールを行った。さらに、 $950^\circ C$ で3時間の H_2O 雰囲気での熱処理を行った。最後に、アルミニウムを蒸着することによりゲート電極とソース/ドレインへのオーミックコンタクトを形成した。コンタクト形成後のアニールは行っていない。コンタクト抵抗値は、 $2 \times 10^{-5} \Omega cm^2$ であった。

5 .ドレイン電圧とドレイン電流の関係

図6に $D_{ch} = 0.2 \mu m$ のMOSFETのドレイン電圧(V_d)とドレイン電流(I_d)の関係を示す。電流は、 $0V$ から直線的に増加し、高電圧では、飽和しており、良好なオーミック特性、飽和特性を示している。

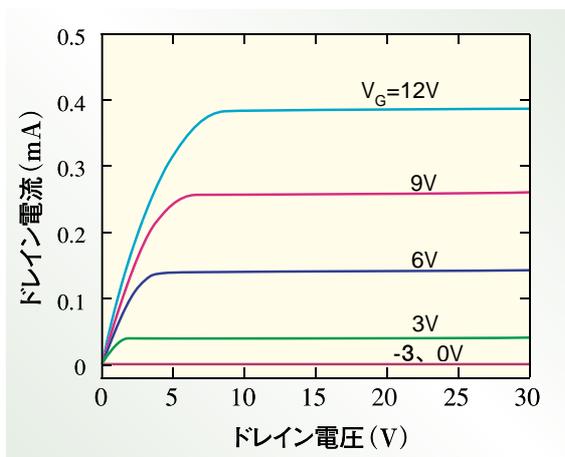


図6 ICE-BC MOSFETのドレイン電圧-電流特性
 $V_g = -3, 0V$ では、電流が流れておらず、エンハンスメント型であることを示している。

6 .チャネル移動度と閾値電圧

図7にチャネル移動度(μ_{ch})に対するゲート電圧(V_g)依存性を D_{ch} を変数として示す。 μ_{ch} は式(1)から $V_d = 0.1V$ で求めた。 μ_{ch} には、電界効果移動度(μ_{FE})を用いた。 V_{th} は、式(2)において $V_d = 10V$ での $\sqrt{I_d} - V_g$ プロットにおいて、直線を引き、 V_g 軸との交点で定義した(図8)。

$$\mu_{ch}(\mu_{FE}) = G_m \cdot L_g / (W \cdot C_{ox} \cdot V_d), \quad G_m = dI_d / dV_g \quad (1)$$

$$I_d = 1/2 \cdot (W/L_g) \cdot \mu_{ch} \cdot C_{ox} (V_g - V_{th})^2 \quad (2)$$

ここで、 G_m は相互コンダクタンス、 L_g はゲート長、 W はゲート幅、 C_{ox} は、酸化膜容量である。低電圧において観測されるチャネル移動度の最大値は、 $D_{ch} = 0.15, 0.20, 0.25 \mu m$ において、各々、 $45, 140, 230 cm^2/Vs$ であり、 D_{ch} が大きくなるにつれて増加する。これは、 D_{ch} が大きくなるにつれて、界面から深い位置を流れる電子の数が増加するために、界面準位にトラップされた電荷による散乱の影響が減少して、 SiC バルクの移動度に近い値で移動する電子の数が増加するためである。一方、 V_{th} は、 $D_{ch} = 0.15, 0.20, 0.25 \mu m$ において、各々、 $1.8, 0.3, -2.0V$ であり、 $D_{ch} = 0.25 \mu m$ においては、電圧が印可されていなくても電流が流れており、 $-10V$ まで印加してもオフしな

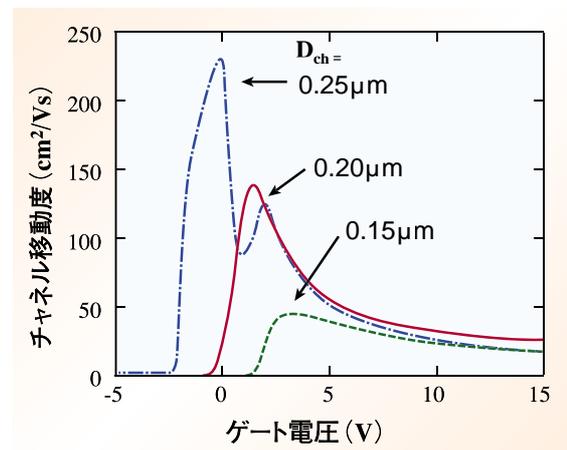


図7 ICE-BC MOSFETのチャネル移動度のゲート電圧依存性

μ_{ch} 対 V_g において、 μ_{ch} はある V_g までは、 V_g の増加と共にチャネル内の電子数が増加して、界面準位密度や不純物を遮蔽するので増加する。一方、ある V_g 以上では、表面に垂直な電界が大きくなるので、表面ラフネスによる散乱が大きくなりチャネル移動度は低下する。したがって、 μ_{ch} は V_g に対して最大値を示す。通常、この最大値を μ_{ch} として定義する。

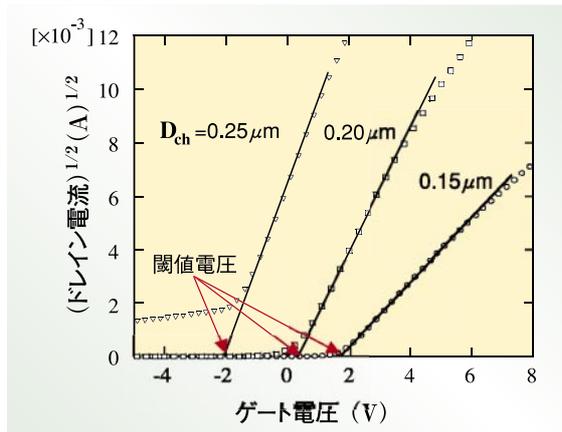


図8 ICE-BC MOSFETの (ドレイン電流)のゲート電圧依存性

い。結局、 $D_{ch}=0.20\mu\text{m}$ において、エンハンスメント型でかつチャネル移動度 $140\text{cm}^2/\text{Vs}$ を出すことができた。これまで報告されたエンハンスメント型で埋め込みチャネルMOSFETのチャネル移動度は、 $70\text{cm}^2/\text{Vs}$ 程度であるので飛躍的に向上した。図1に示したように、大きな市場が見込める耐圧1kVでの4H-SiCパワーMOSFETのオン抵抗値は、チャネル移動度が $150\text{cm}^2/\text{Vs}$ 以上あると、ほぼ理論的値まで下がり、4H-SiCの性能を十二分に発揮できる。今回の $140\text{cm}^2/\text{Vs}$ は、ほぼ、この $150\text{cm}^2/\text{Vs}$ を達成したといえる。従っ

て、これまでに「超低損失電力素子技術開発」プロジェクトで報告した低コンタクト抵抗形成技術や低シート抵抗値形成技術を統合して4H-SiCパワーMOSFETを作製すれば、オン抵抗値を理論値まで下げられると考えられる。

7. まとめ

「超低損失電力素子技術開発」プロジェクトで実行している、高チャネル移動度MOSFETを作製するための要素技術について報告した。埋め込みチャネルの深さを最適化すると共に、ゲート酸化膜形成後に H_2O 雰囲気アニールして良好な界面を形成することにより、チャネル移動度 $140\text{cm}^2/\text{Vs}$ を達成した。これにより、1kV級パワーMOSFETの3要素1)低コンタクト抵抗形成技術、2)低シート抵抗値形成技術、3)高チャネル移動度を達成したことになり、オン抵抗値を理論値まで下げる目処がついたと考えられる。今後は、これらの要素技術を統合して、パワーMOSFETを作製することにより、オン抵抗が理論値まで下がることの実証を図る予定である。

研究課題名

「超低損失電力素子技術の研究」プロジェクト

福田 憲司 (Kenji Fukuda)	パワーエレクトロニクス研究センター (Power Electronics Research Center)
e-mail: k-fukuda@aist.go.jp	
鈴木 誠二 (Seiji Suzuki)	先進パワーデバイス研究室 (Advanced Power Device Lab.)
小杉 亮治 (Ryoji Kosugi)	パワーエレクトロニクス研究センター (Power Electronics Research Center)
先崎 純寿 (Junji Senzaki)	パワーエレクトロニクス研究センター (Power Electronics Research Center)
原田 信介 (Shinsuke Harada)	パワーエレクトロニクス研究センター (Power Electronics Research Center)
安達 和広 (Adachi Kazuhiro)	パワーエレクトロニクス研究センター (Power Electronics Research Center)
田中 知行 (Tomoyuki Tanaka)	先進パワーデバイス研究室 (Advanced Power Device Lab.)
荒井 和雄 (Kazuo Arai)	パワーエレクトロニクス研究センター (Power Electronics Research Center)